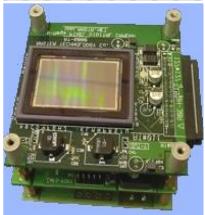


2013

Видеопроцессор RT-853VP

Техническое описание и инструкция
по эксплуатации

Версия 1.00



Оглавление

1. Назначение изделия	5
2. Технические характеристики	6
2.1.Видеовход	6
2.2.Видеовыход.....	6
2.3.Интерфейсы и внутренняя память	7
2.4.Функции обработки изображения	7
2.5.Конструкция и размеры	7
2.6.Системные требования	8
3. Устройство и работа изделия	9
3.1. Основные термины и сокращения	9
3.2. Общая функциональная схема	11
3.3. Взаимодействие видеопроцессора с компьютером	13
4. Подготовка к работе.....	15
4.1.Установка и подключение устройства видео ввода-вывода	15
4.2.Подключение внешних устройств	15
4.3.Подключение источников телевизионного сигнала	15
4.4.Подключение источников телевизионного сигнала в режиме с внешней синхронизацией	17
4.5.Подключение приемника телевизионного сигнала	17
4.6.Работа с цифровым портом ввода-вывода.....	19
4.7.Вывод строба синхронизации	19
4.8.Установка драйверов видеопроцессора и программно- алгоритмического обеспечения	20
5. Гарантийные обязательства	21
6. Техническая поддержка.....	22
Приложение 1. Программирование видеопроцессора на уровне регистров	23



1.1. Регистры конфигурации шины PCI	23
1.2. Операционные регистры.	25
1.2.1. Системный регистр управления	27
1.2.2. Регистр управления режимом DMA	28
1.2.3. Регистр адреса DMA	28
1.2.4. Регистр счетчика данных DMA	29
1.2.5. Регистр событий	29
1.2.6. Регистр статуса.....	29
1.2.7. Регистр цифрового ввода-вывода	30
1.2.8. Регистры адреса первого и второго полей кадра, регистр длины строки DMA	30
1.2.9. Регистры конфигурирования ПЛИС Cyclon.....	31
1.2.10. Регистр управления внутренним буфером памяти	31
1.2.11. Регистр управления подсистемой ввода изображения	32
1.2.12. Регистр управления подсистемой ввода строба	32
1.2.13. Регистр управления подсистемой вывода изображения	33
1.2.14. Регистр коммутации аналоговых входов	33
1.2.15. Регистры усиления и смещения уровня черного входного сигнала, регистр определения амплитуды входного сигнала.	34
1.2.16. Регистры настройки входного формата кадра.....	34
1.2.17. Регистры настройки формата строба	36
1.2.18. Регистры настройки выходного формата кадра.....	36
1.2.19. Регистры цифровой обработки входного сигнала	37
1.2.20. Регистр гистограммы яркости входного сигнала.....	40
1.2.21. Регистр набора доступных функций DSP обработки	41
1.3. Организация внутреннего буфера памяти	43
1.4. Инициализация видеопроцессора под управлением MS-DOS	45
1.5 Обмен данными в режиме DMA	47



1.5.1. Основной старт DMA.....	47
1.5.2. Промежуточный старт DMA.....	47
1.5.3. Завершение процесса DMA	47
1.6. Ввод изображения в режиме внешнего запуска.....	48
1.7. Ввод изображения в режиме внешней синхронизации	48
1.8. Использование системных часов	48



1. Назначение изделия

Устройство ввода-вывода и обработки телевизионных изображений **RT-853VP**, [рис.1](#), представляет собой мультиформатный видеопроцессор, предназначенный для высококачественного ввода черно-белого телевизионного изображения в ПК и обработки его в реальном масштабе времени. Источником сигнала могут быть ТВ камеры, электронные микроскопы, рентгеновские установки и любые другие устройства, выдающие видеосигнал в различных телевизионных стандартах.

Видеопроцессор оснащен 4-х канальным входным мультиплексором, позволяющим подключать до 4-х источников телевизионного сигнала. Встроенный видеовыход, позволяет контролировать на внешнем видеоконтрольном устройстве (ВКУ) или цифровом мониторе процесс ввода сигнала, выводить на ВКУ (монитор) «замороженный» кадр или последовательность кадров в реальном масштабе времени. Для подключения внешних сигналов синхронизации или управляющих/исполнительных устройств имеется четырехразрядный программируемый цифровой интерфейс (ТТЛ).

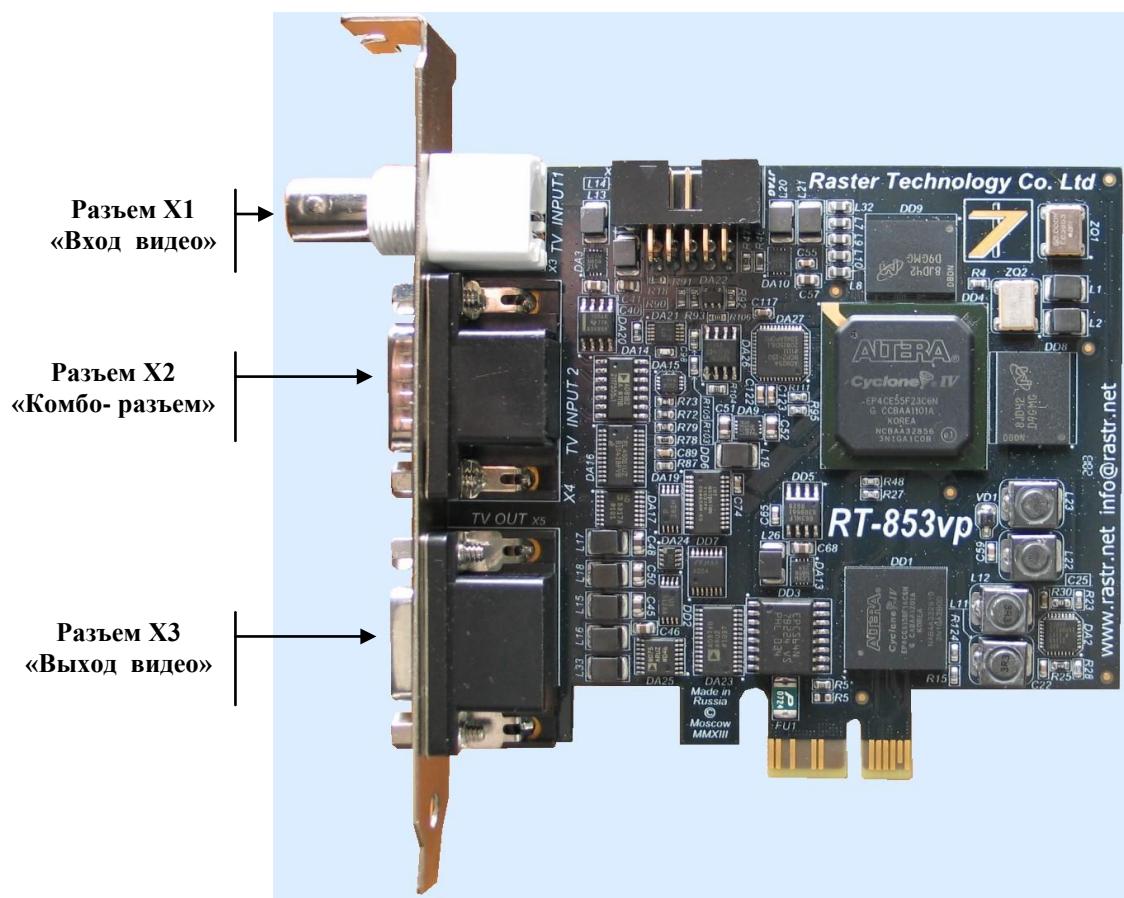


Рис.1 Видеопроцессор RT-853VP



2. Технические характеристики

2.1. Видеовход

Количество программно коммутируемых видеовходов:	4;
Входное сопротивление, Ом:	75;
Уровень входного сигнала, В:	0.35 ÷ 2;
Полярность синхроимпульсов:	отрицательная.
Виды синхронизации:	внутренняя, внешняя (ТТЛ - уровень); ± 9 , 256 градаций; ± 0.3 , 256 градаций; $\pm 5\%$;
Диапазон регулировки усиления входного сигнала, дБ:	есть;
Диапазон регулировки уровня чёрного, В:	14;
Линейность регулировок, %:	8, 12;
Функция автоматической настройки усиления и уровня чёрного (полное использование динамического диапазона АЦП):	4 ÷ 120;
Разрядность АЦП, бит:	12 ÷ 100;
Программируемая разрядность выводимого изображения, бит:	до 2048 x 2048 x 8,
Частота (пиксельная) оцифровки входного сигнала, МГц:	до 2048 x 1024 x 12;
Частота строк входного сигнала, КГц:	
Программируемый формат оцифровки кадра, Ш x В x бит:	
Оцифровка и ввод ТВ сигнала одновременно в двух форматах:	есть;
Дрожание пикселя (<i>jitter</i>), нс:	не более ± 2 .

2.2. Видеовыход

Уровень выходного сигнала на нагрузке 75 Ом, В:	1.0;
Тип синхросигнала:	формируется программно под любой телевизионный стандарт;
Уровень синхроимпульсов, В:	0.35;
Полярность синхроимпульсов:	отрицательная;
Разрядность ЦАП, бит:	10;
Программируемая разрядность выводимого изображения, бит:	8, 10;
Частота (пиксельная) дискретизации выходного сигнала, МГц:	12 ÷ 120 МГц;
Программируемый формат вывода кадра, Ш x В x бит:	до 2048 x 2048 x 8, до 2048 x 1024 x 10;



2.3.Интерфейсы и внутренняя память

Объем встроенной памяти, Мбайт:	32;
Количество банков памяти (кадров формата 2048x1024x12):	8;
Объем ROM BIOS, Мбит:	16;
Возможность обновления микропрограммы ROM BIOS:	нет;
Возможность динамической перезагрузки микропрограммы ¹ :	да;
Интерфейс с ПК:	шина PCI-E 1x, v1.0 Plug & Play;
Средняя скорость передачи данных в режиме Master, Мбайт/с:	150;
Рабочие уровни цифрового интерфейса:	TTL;
Количество линий ввода-вывода цифрового интерфейса:	4;
Нагрузочная способность выходов, мА:	10;

2.4.Функции обработки изображения

- Вычисление минимума/максимума уровня сигнала в кадре;
- Усреднение кадров;
- Рекурсивная фильтрация;
- Контрастирование изображения;
- Операции сложения, вычитания, булевские операции AND, XOR, OR со статическим изображением (маской);
- Операции сложения, вычитания, булевские операции AND, XOR, OR с динамическим изображением (предыдущий кадр).

Примечание. Набор функций обработки изображения может отличаться от базового по согласованию с Заказчиком.

2.5.Конструкция и размеры

Плата изготовлены на базе ПЛМ фирмы **ALTERA** по технологии **SMD**.

Габаритные размеры, мм: 120 * 115 * 20.

Примечание.

¹ Возможность динамической перезагрузки микропрограммы поддерживается, начиная с ревизии 1.1 видеопроцессора.



2.6. Системные требования

Для нормальной работы с видеопроцессором (цифровой камерой) система должна удовлетворять следующим минимальным требованиям:

- IBM PC-совместимый компьютер с процессором *Intel Pentium MMX, AMD K6* или выше (необходима поддержка инструкций MMX);
- При инсталляции SDK занимает до 30 Мбайт на жестком диске;
- объем ОЗУ не менее 128 Мбайт;
- Видеоадаптер с поддержкой 16-битного цвета и выше;
- Устройство для чтения компакт-дисков CD-ROM;
- Манипулятор "мышь" или совместимое устройство;
- Операционная система (*):
 - *Windows 2000 Professional;*
 - *Microsoft Windows XP Professional,*
 - *Microsoft Windows Vista 32/64 бит;*
 - *Microsoft Windows 7 32/64 бит,*
 - *Microsoft Windows 8 32/64 бит*

(*) с поддержкой русского языка и русской кодовой страницей по умолчанию (региональные установки).



3. Устройство и работа изделия

3.1. Основные термины и сокращения

ВКУ – видеоконтрольное устройство.

КСИ – кадровый синхроимпульс.

ССИ – строчный синхроимпульс.

АЦП – аналого-цифровой преобразователь.

ADC – (*Analog Digital Cconverter*) английская аббревиатура АЦП.

ЦАП – цифро-аналоговый преобразователь.

DAC – (*Digital Analog Converter*) английская аббревиатура ЦАП.

DMA – (*Direct Memory Access*) прямой доступ к памяти. Для пересылки изображения из внутренней памяти в память ПЭВМ и обратно, видеопроцессор использует механизм прямого доступа к памяти.

Окно ввода – прямоугольная область внутри кадра, в пределах которой, будет производиться оцифровка изображения.

Окно вывода – прямоугольная область внутри кадра, в которую будет записываться выводимое изображение.

Строб статистики – прямоугольная область внутри окна ввода, используемая для статистических измерений. Размер строба не может превышать размера окна ввода.

Основной канал ввода – канал собственно осуществляющий ввод, оцифровку, обработку, вычисление статистики изображения и запись его в память видеопроцессора.

Канал строба – вспомогательный канал ввода, не имеет собственного АЦП, а использует АЦП основного канала. Канал строба используется для вычисления статистики, либо для альтернативной обработки изображения. В последнем случае изображение также записывается в память видеопроцессора.

Канал вывода – канал, осуществляющий обратное преобразование оцифрованного изображения и формирующий выходной видеосигнал.

Фиксация кадра изображения – оцифровка и запись полного кадра изображения в один из банков внутреннего буфера памяти видеопроцессора.

Мониторирование – просмотр входного телевизионного сигнала на видеоконтрольном устройстве.

Визуализация – просмотр на ВКУ телевизионных кадров, записанных во внутреннем буфере памяти.

DSP – (*Digital Signal Processing*) цифровая обработка сигнала.

Банк памяти – часть внутренней памяти видеопроцессора объемом 4 МБ для работы с одним кадром изображения. Число банков равно 8.

ADC банк – банк, в который на данный момент времени записывается оцифрованное изображение в основном канале.

STB банк – банк, в который на данный момент времени записывается оцифрованное изображение в канале строба.

PCI банк – банк, из которого в текущий момент времени осуществляется пересылка оцифрованного изображения в память ПЭВМ при вводе кадров или в который осуществляется пересылка изображения из памяти ПЭВМ при выводе кадров на ВКУ

DAC банк – банк, используемый для цифро-аналогового преобразования изображения (вы-вода изображения).

DSP банк – банк, в котором хранится изображение, используемое как второй операнд при DSP обработке сигнала.



Чередование (переключение) банков – смена назначения банка памяти. Например, в один момент времени он может использоваться для приема оцифрованного изображения (*ADC банк*), а в следующий момент после переключения, он будет использоваться для обмена памятью ПЭВМ (*PCI банк*). При переключении банков никакой пересылки данных между ними не происходит.



3.2. Общая функциональная схема

Видеопроцессор RT-853VP состоит из следующих функциональных узлов, [рис.2](#) :

- **4-х канальный видеокоммутатор** – осуществляет коммутацию аналоговых входов (время переключения - 8 нс);
- **Схема восстановления постоянной составляющей (DC)** – осуществляет привязку телевизионного сигнала к уровню чёрного;
- **Нормирующий усилитель** – обеспечивает согласование уровня входного сигнала с динамическим диапазоном АЦП;
- **Схема регулировки смещения постоянной составляющей (DC) и усиления** – позволяет программно автоматически или вручную настраивать яркость и контрастность входного телевизионного изображения (256 градаций);
- **Схема выделения сигналов синхронизации** – выделяет из входного сигнала строчные и кадровые синхроимпульсы;
- **ADC** – 14-и разрядный аналого-цифровой преобразователь (АЦП). Для повышения стабильности и точности преобразования используется **прецзионный источник опорного напряжения**;
- **GenLock** – широкодиапазонный генератор частоты квантования входного сигнала (пиксельной частоты). Имеет систему фазовой автоподстройки частоты (ФАПЧ) и обеспечивает дрожание пикселя (jitter) не более ± 2 нс;
- **Clock Distributor** – выравнивает фазы тактовой частоты АЦП для уменьшения дрожания фронтов с целью повышения точности оцифровки;
- **DAC** – 10 разрядный цифро-аналоговый преобразователь (ЦАП). Использует старшие 10 бит 12-ти разрядных данных;
- **Подсистема ввода изображения** – основной канал ввода. Формирует окно ввода кадров ТВ изображения, осуществляет управление фиксацией изображения во внутреннем буфере памяти;
- **Подсистема ввода строба** – дополнительный канал ввода, работающий параллельно с основным. Позволяет вводить изображение с другим форматом окна и другими функциями цифровой обработки. Используется также как вспомогательный канал для DSP обработки данных основного канала ввода;
- **Подсистема вывода изображения** – формирует окно вывода выходного телевизионного изображения, вырабатывает сигналы синхронизации, осуществляет переключение потоков данных (сквозной канал АЦП-ЦАП / вывод из внутреннего буфера памяти);
- **Выходной усилитель** – формирует выходной телевизионный сигнал и обеспечивает согласование с 75-омной нагрузкой;



- **Схема управления и синхронизации** – осуществляет общее управление всеми процессами в устройстве;
- **RAM** – 32-х разрядный внутренний буфер памяти (SDRAM, 32 МБ). Функционально разделен на 8 банков по 4 МБ;
- **ROM** – представляет собой чип *Flash* памяти, объемом 2 МБ, в котором хранится микропрограмма ПЛИС *Altera*. Допускается обновление микропрограммы при помощи сервисного программного обеспечения;
- **DSP** – блок цифровой обработки сигналов реального времени. Выполняет целочисленные операции сложения, вычитания, умножения и деления элементов одного или нескольких изображений, позволяет реализовать различные виды накопления.
- **PCI-Express Interface v1.0, контроллер DMA, конфигурационные и операционные регистры** – обеспечивают связь видеопроцессора **RT-853VP** с оперативной памятью компьютера через шину PCI в режиме MASTER.
- **Часы с внешней синхронизацией** – обеспечивают отсчет времени с высокой точностью (определяется точностью внешнего источника меток времени) и фиксируют момент ввода очередного кадра в специальном регистре;
- **Порт ввода-вывода** имеет разрядность 4 бита. Каждая из линий порта независимо программируется на ввод или вывод. Порт может быть использован для управления внешними устройствами и/или для управления видеопроцессором внешними устройствами.

Примечание. При использовании внешней синхронизации или часов, часть линий порта ввода-вывода становится недоступна.

Видеопроцессор **RT-853VP** имеет следующие основные режимы работы:

- Непрерывный или одиночный ввод телевизионных кадров (с обработкой или без таковой) в компьютер с одновременным контролем вводимого исходного или обработанного изображения на внешнем мониторе (ВКУ);
- Непрерывный или одиночный ввод телевизионных кадров (с обработкой или без таковой) в компьютер с одновременным просмотром любого ранее введенного телевизионного кадра на внешнем мониторе (ВКУ). При этом формат вводимого и выводимого телевизионного изображения может быть различным;
- Вывод серии ранее введенных кадров или полукадров на внешний монитор или ВКУ в реальном времени или с замедлением (без ввода изображения в компьютер).



3.3. Взаимодействие видеопроцессора с компьютером

Устройство **RT-853VP** соответствует стандарту *Plug & Play* и подключается к компьютеру через интерфейс шины PCI, используя при этом 256 байт адресного пространства оперативной памяти и одну линию аппаратного прерывания. Месторасположение занимаемого адресного пространства памяти может быть произвольным и определяется на этапе начальной инициализации устройства при загрузке операционной системы (ОС). Для операций пересылки изображения в режиме прямого доступа к памяти используются от 2-х до 4-х буферов оперативной памяти размером 4 Мбайт. Буферы выделяются из непрерывного неподкачиваемого пула драйвером устройства.

Для ОС семейства **Microsoft Windows** инициализация, настройка и управление видеопроцессором осуществляется драйвером, входящим в комплект поставки (см. документ “Библиотека RT8xxVP. Руководство программиста”). Для других ОС инициализация и дальнейшее управление выполняется пользователем по алгоритмам, описанным в приложении 1.



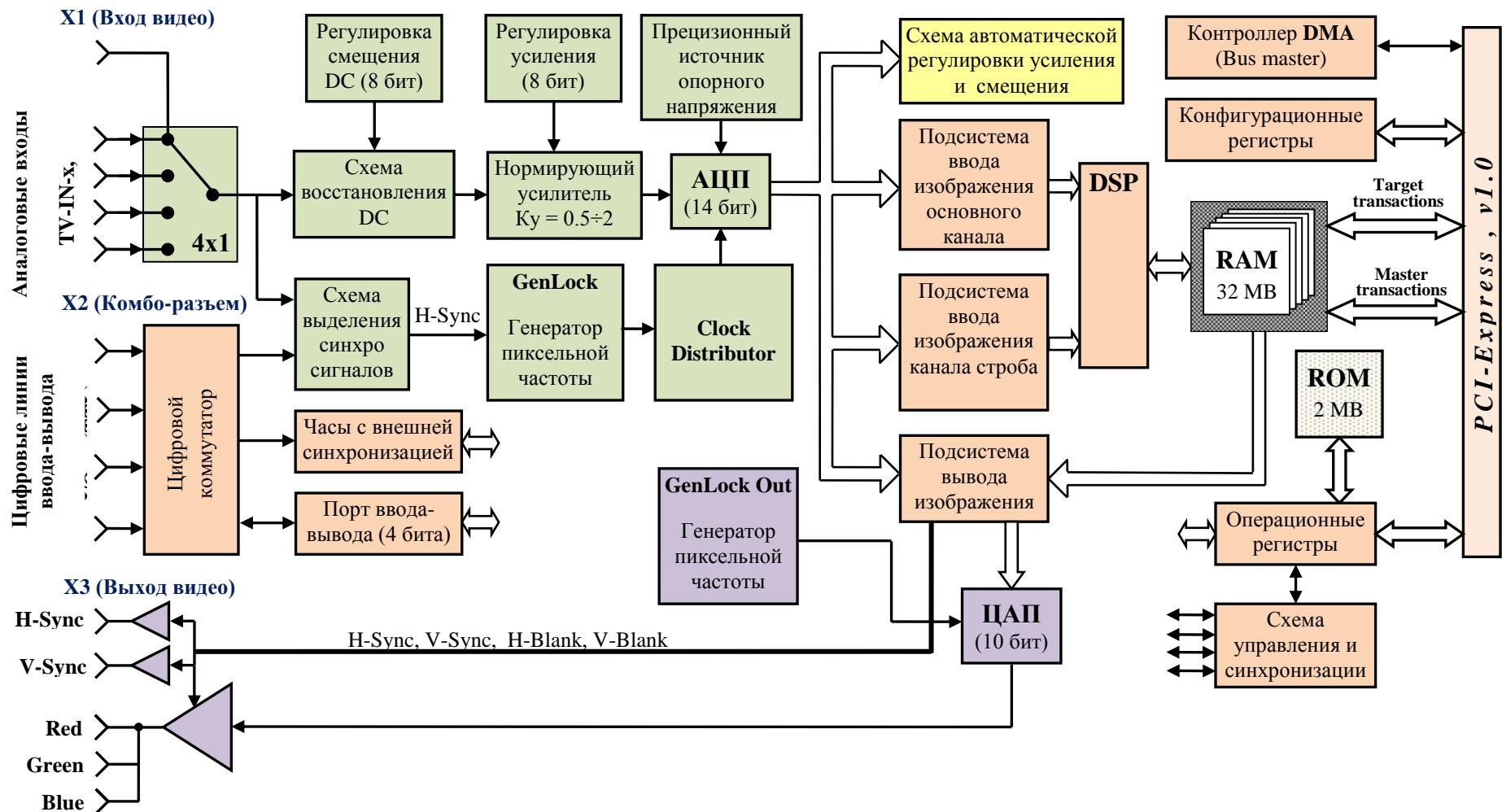


Рис.2 Функциональная схема видеопроцессора RT-853VP

4. Подготовка к работе

В данном разделе будут рассмотрены вопросы установки видеопроцессора в ПЭВМ, подключения внешнего оборудования, установки драйверов устройств, установки и запуска программы.

Внимание! Все работы по установке и подключению видеопроцессора должны производиться при отключенном электропитании ПЭВМ и подключаемого оборудования.

ПЭВМ и подключаемое оборудование должны иметь общее заземление и по возможности получать электропитание от одного источника.

Во избежание выхода изделия из строя, не проводите перекоммутацию соединительных кабелей во время работы.

4.1. Установка и подключение устройства видео ввода-вывода

Установите плату видеопроцессора **RT-853VP** в свободный слот шины **PCI** ПЭВМ. По возможности не устанавливайте плату по соседству с адаптерами, имеющими повышенное тепловыделение, например, с видеоадаптером.

4.2. Подключение внешних устройств

Подключение внешних устройств производится через разъемы **X1**, **X2** и **X3** видеопроцессора, [рис.1](#). Типы используемых разъемов приведены в [таблице 1](#).

Таблица 1. Тип разъемов установленных на видеопроцессор

Наименование разъема	Тип разъема	Рекомендуемая ответная часть
X1	BNC jack	BNC plug, CP-50-xxПВ
X2	DHR-15M	DHS-15F
X3	DHR-15F	DHS-15M

4.3. Подключение источников телевизионного сигнала

В качестве источника телевизионного сигнала могут выступать телевизионная камера, видеокамера, видеомагнитофон, телевизионный приемник и т.д. Видеопроцессор поддерживает подключение до 4-х источников сигнала. Выбор текущего источника осуществляется программно.

Для подключения источника телевизионного сигнала к видеопроцессору соедините кабелем композитный видеовыход источника с разъемом **X1** видеопроцессора («*Вход видео*»). При



- 16 -

работе с несколькими источниками, подключение осуществляется к линиям **TV-IN-1 .. TV-IN-4** разъема **X2**. Цоколевка разъемов **X1** и **X2** приведена в [таблице 2](#) и [таблице 3](#) соответственно. В качестве «земли» для линий **TV-IN- x** разъема **X2** используются цепь **Gnd**.

Таблица 2. Цоколевка разъема X1

Контакт	Цепь
1	TV-IN-1
2	GND (Земля)

Таблица 3. Цоколевка разъема X2

Контакт	Цепь
1	TV-IN-1
2	TV-IN-2
3	TV-IN-3
4	TV-IN-4
5	I/O-1
6	GND (Земля)
7	GND
8	GND
9	I/O-4
10	I/O-2
11	GND
12	+5V
13	GND
14	Свободный
15	I/O-3



Внимание. Цепи TV-IN-1 на разъемах X1 и X2 соединены параллельно. По этому, во избежание выхода из строя источников телевизионного сигнала, не подключайте к ним одновременно разные источники. При подключении одного источника одновременно к цепи TV-IN-1 на разъемах X1 и X2 возможно возникновение помех.

4.4.Подключение источников телевизионного сигнала в режиме с внешней синхронизацией

Видеопроцессор допускает подключение источников телевизионного сигнала, у которых кадровые и строчные синхроимпульсы выводятся отдельно от яркостного сигнала (видеосигнала).

Для поддержки внешней синхронизации требуется модификация видеопроцессора, включающая «перепрошивку» микропрограммы.

Для подключения сигналов внешней синхронизации используются линии **I/O-1** и **I/O-3** разъема **X2** платы, [рис.3](#). На линию **I/O-1** подаются строчные синхроимпульсы, а на линию **I/O-3** кадровые синхроимпульсы. Привязка телевизионного изображения к уровню черного происходит во время действия строчного синхроимпульса.

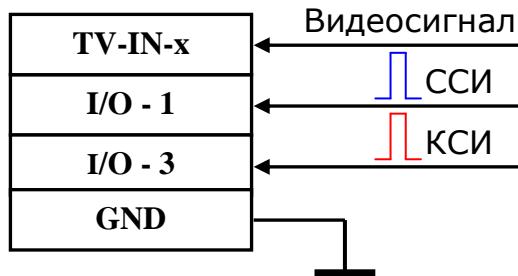


Рис.3. Подключение источника сигнала с внешней синхронизацией

Уровни строчных (ССИ) и кадровых (КСИ) синхроимпульсов должны соответствовать уровням ТТЛ логики.

Длительность КСИ должна быть не меньше длительности строки. Длительность ССИ должна находиться в пределах 5..10 % от длительности строки.

4.5.Подключение приемника телевизионного сигнала

Видеопроцессор поддерживает функцию вывода телевизионного изображения. Вывод может производиться как в сквозном режиме, так и в режиме визуализации записанного изображения. В качестве приемника телевизионного сигнала может выступать как монитор с



входом **D-SUB**, так и устройства с композитным входом (ВКУ, телевизионный приемник, видеомагнитофон и т.д.). Подключение приемника сигнала осуществляется к разъему **X3** видеопроцессора. Цоколевка разъема приведена в [таблице 4](#).

Для подключения монитора, соедините кабелем его вход **D-SUB** с разъемом **X3** видеопроцессора.

Таблица 4. Цоколевка разъема **X3**.

Контакт	Цепь
1	Red
2	Green/TV-Out
3	Blue
4	Не используется
5	GND (Земля)
6	AGND (Аналоговая земля)
7	AGND (Аналоговая земля)
8	AGND (Аналоговая земля)
9	Не используется
10	GND
11	Не используется
12	Не используется
13	H-SYNC
14	V-SYNC
15	Не используется

Подключение приемников с композитным входом осуществляется путем подачи на его видеовход сигнала с цепи **TV-Out** разъема **X3**, в качестве «земли» используется цепь **AGND**, [рис.4](#).

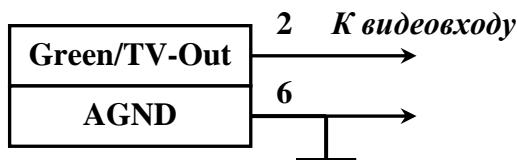


Рис.4. Подключение приемника с композитным входом



4.6. Работа с цифровым портом ввода-вывода

Видеопроцессоры оснащаются 4-х разрядным цифровым портом ввода-вывода. Линии ввода-вывода порта выведены на контакты **I/O-1 .. I/O-4** разъема **X2**. Каждая линия персонально программируется на ввод или вывод. Видеопроцессор поддерживает генерацию прерывания при изменении уровня сигнала на одной из линий.

Уровни сигнала порта соответствуют уровням **TTL** логики, нагрузочная способность линии **I/O - x** одинакова для логического «0» и логической «1» и не превышает **15 mA**.

На [рис.5.](#) приведена общая схема подключения кнопки управления к видеопроцессору через цифровой порт. Кнопка может быть использована, например, для дистанционного управления записью изображения.

Здесь **I/O - x** линия цифрового порта ввода-вывода, а **x** – номер линии, **x = 1 .. 4**. Нагрузочная способность цепи **+5V** не превышает **100 mA**.

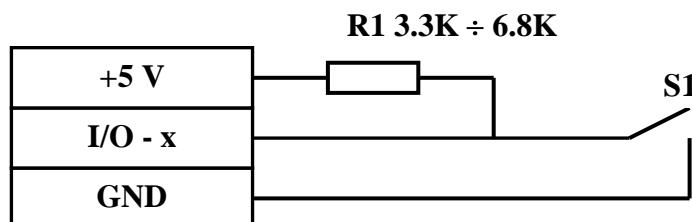


Рис.5. Общая схема подключения кнопки управления записью

Рекомендуемая схема подключения кнопки приведена на [рис.6.](#) При использовании линии ввода вывода **I/O - 2** сопротивление **R1** из схемы можно исключить так, как оно уже установлено на плате видеопроцессора. Соответственно, цепь **+5V** в этом случае не используется.

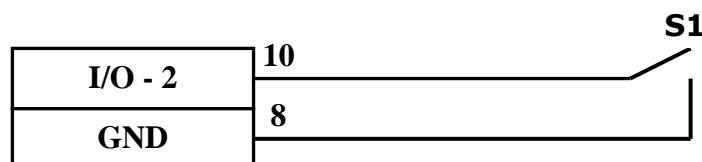


Рис.6. Рекомендуемая схема подключения кнопки управления записью

4.7. Вывод строба синхронизации

Драйвер видеопроцессора поддерживает функцию вывода по одной из цифровых линий ввода-вывода синхроимпульса, связанного с появлением КСИ во входном сигнале.



Длительность импульса определяется быстродействием ПЭВМ и составляет **5 .. 20 мкс.** Время задержки фронта импульса относительно начала КСИ обычно не превышает **10 мкс.** Полярность импульса – положительная, уровни соответствуют уровням **TTL** логики.

Съем синхроимпульса осуществляется с одной из свободных линий ввода-вывода **I/O - x.**

Типовая схема подключения приведена на [рис.7.](#)

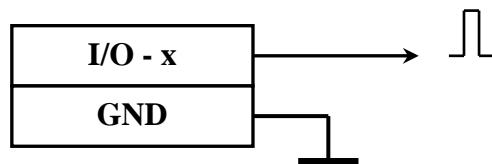


Рис.7. Схема вывода импульса синхронизации

4.8. Установка драйверов видеопроцессора и программно-алгоритмического обеспечения

В комплект поставки видеопроцессора входит компакт-диск содержащий драйверы для операционных систем **Microsoft Windows 2000/XP/Vista/Windows 7/Windows 8** и Комплект разработчика программно-алгоритмического обеспечения **Raster technology SDK v2.xx.**

Для установки драйверов и ПАО следуйте инструкциям, изложенным в документе **«Комплект разработчика программно-алгоритмического обеспечения Raster technology SDK v2.xx. Руководство по установке».**



5. Гарантийные обязательства

ООО “РАСТР ТЕХНОЛОДЖИ” осуществляет бесплатный гарантийный ремонт продукции, сопровождение и консультации по работе с устройством в течение 12 месяцев от даты продажи. Гарантия не распространяется на ущерб, причинённый другому оборудованию, работающему в сопряжении с данным изделием. Срок гарантии увеличивается на время нахождения изделий в ремонте.

Гарантийные обязательства аннулируются в случае, если:

- отсутствует или оторвана гарантийная наклейка;
- отсутствует гарантийный талон;
- на плате был произведен любой неавторизованный ООО “РАСТР ТЕХНОЛОДЖИ” ремонт или её модификация;
- неисправности вызваны неправильной эксплуатацией платы (механические повреждения, неправильное включение, отсутствие заземления и т.п.);
- неисправности вызваны неправильной эксплуатацией оборудования, в том числе:
 - эксплуатация в сильно запылённых помещениях;
 - неправильное подключение дополнительного оборудования;
 - использование питания с характеристиками, отличными от допустимых;
- изделие было установлено и использовано иначе, чем указано в инструкции по эксплуатации.

Недополученная в связи с появлением неисправности прибыль и другие косвенные расходы не подлежат возмещению.



6. Техническая поддержка



ООО «Растр технологи»

117587, Москва, Варшавское шоссе, 125, секция 9, офис 609

Служба работы с клиентами

Получить информацию о ценах на нашу продукцию, сроках поставки, заключении договоров на доработку уже существующих образцов продукции или разработку новых, Вы можете в нашей клиентской службе.

Телефоны службы работы с клиентами: (495) 425-7326, 789-9367

✉ raster-msk@mtu-net.ru (директор Бондаренко Андрей Викторович),

✉ support@rastr.net, info@rastr.net

Служба технической поддержки

Последние версии драйверов и библиотек, техническую документацию на нашу продукцию Вы можете скачать [здесь](#).

Вы можете получить консультацию в службе технической поддержки по рабочим дням с 11:00 до 18:00.

Телефон службы технической поддержки: (495) 789-93-67

✉ rastr_support@mail.ru, rastr_support@rastr.net



ООО «Растр технологи»
Phone: (495) 789-9367, 425-7326; www.rastr.net; info@rastr.net

Приложение 1. Программирование видеопроцессора на уровне регистров

Этот раздел посвящен подобному описанию внутренней структуры видеопроцессора **RT-853VP** и ориентированы на пользователей, желающих написать собственное программное обеспечение.

1.1. Регистры конфигурации шины PCI

В соответствии со стандартом шины PCI, каждое устройство, подключенное к шине, должно иметь конфигурационный заголовок, определяющий порядок взаимодействия устройства с арбитром шины. Конфигурационный заголовок состоит из регистров конфигурации (8-, 16- и 32-разрядных), которые занимают в общей сложности 256 байт. В таблице 1 приведен полный перечень и порядок расположения регистров в конфигурационном заголовке. В таблице 2 дано краткое описание регистров конфигурации, которые поддерживаются платой **RT-853VP** (выделены серым цветом в таблице 1).

Таблица 1

Address	Byte					
	3	2	1	0		
00H	Device ID		Vendor ID			
04H	Status Register		Command Register			
08H	Class Code			Revision ID		
0CH	BIST	Header Type	Latency Timer	Cache Line Size		
10H	Base Address Register 0					
14H	Base Address Register 1					
18H	Base Address Register 2					
1CH	Base Address Register 3					
20H	Base Address Register 4					
24H	Base Address Register 5					
28H	Card Bus CIS Pointer					
2CH	Subsystem ID		Subsystem Vendor ID			
30H	Expansion ROM Base Address Register					
34H	Reserved					
38H	Reserved					
3CH	Maximum Latency	Minimum Grant	Interrupt Pin	Interrupt Line		
40H..FFH	Reserved					

Таблица 2

Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
00h	00h-01h	Чтение	5254h	Vendor ID	Идентификатор производителя устройства – фирма РАСТР ТЕХНОЛОДЖИ.
02h	02h-03h	Чтение	0852h	Device ID	Идентификатор типа устройства – плата RT-851
04h	04h-05h	Чтение/запись	0000h	Command	Обеспечивает подключение устройства к шине PCI:



Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
					<p>бит 0 – не используется;</p> <p>бит 1 – разрешает доступ к памяти;</p> <p>бит 2 – разрешает режим MASTER;</p> <p>биты 5..3 – не используются;</p> <p>бит 6 – разрешает выдачу сигнала PERR на шине PCI при обнаружении ошибки четности данных;</p> <p>бит 7 – не используется;</p> <p>бит 8 – разрешает выдачу сигнала SERR на шине PCI при обнаружении ошибки четности адреса (должен быть установлен бит 6);</p> <p>биты 15..9 – не используются.</p>
06h	06h-07h	Чтение/запись	0400h	Status	Содержит информацию о некоторых режимах и результатах работы устройства на шине PCI (для процесса начальной инициализации устройства этот регистр не используется).
08h	08h-08h	Чтение	01h	Revision ID	Идентификатор номера версии исполнения устройства
09h	09h-0Bh	Чтение	040000h	Class Code	Содержит информацию о принадлежности данного устройства к определенному классу устройств (плата RT851 принадлежит к классу устройств Multimedia).
0Dh	0Dh-0Dh	Чтение/запись	00h	Latency Timer	<p>Используется в режиме MASTER для определения длительности непрерывной передачи одной порции данных на шине PCI.</p> <p>Биты 2..0 – не используются и равны 0;</p> <p>Биты 7..3 – определяют длительность непрерывной порции данных в тактах шины PCI, умноженных на 8 (максимальное число – 0, что соответствует 256-ти тактам).</p>
0Eh	0Eh-0Eh	Чтение	00h	Header Type	Указывает на то, что RT-851 не является многофункциональным PCI устройством (см. спецификацию шины).
10h	10h-13h	Чтение/запись	00000000h	Base Address Register 0	<p>Первый базовый адресный регистр. Он определяет диапазон адресов памяти, занимаемых устройством, и место его расположения в общем пространстве адресов памяти. Биты 14..0 используются только для чтения, а биты 31..15 – для чтения и записи.</p> <p>Бит 0 – равен 0 и указывает на принадлежность базового адреса к пространству адресов памяти;</p> <p>Биты 2..1 – равны 0, что определяет возможность расположения занимаемого устройством диапазона адресов памяти в любом месте 32-х разрядного адресного пространства;</p> <p>Бит 3 – равен 0 и указывает на то, что режим "Prefetchable" устройством не поддерживается</p>



Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
					(см. спецификацию шины PCI); Биты 14..4 – равны 0 и указывают на то, что диапазон адресов памяти, занимаемого устройством, составляет 32 Кбайт; Биты 31..15 – определяют базовый адрес в 32-х разрядном адресном пространстве памяти.
3Ch	3Ch-3Ch	Чтение/запись	FFh	Interrupt Line	Определяет номер прерывания (от 0 до 15), используемого устройством. Значение FFh говорит о том, что прерывание по умолчанию не используется.
3Dh	3Dh-3Dh	Чтение	01h	Interrupt Pin	Информирует о том, какая аппаратная линия на шине PCI задействована под прерывание. Значение 01h говорит о том, что под прерывание задействована линия INTA#.
3Eh	3Eh-3Eh	Чтение	10h	Minimum Grant	Используется только как информационный. Сообщает арбитру шины о предполагаемой длительности непрерывной порции данных, передаваемых через шину. Значение длительности выражено в 250-ти наносекундных отрезках (10h x 250нс = 4 мкс).
3Fh	3Fh-3Fh	Чтение	00h	Maximum Latency	Используется как информационный. Сообщает арбитру шины о том, как часто устройство предполагает задействовать шину для передачи данных. Значение 00h говорит о том, что требования к этому параметру не определены.

1.2. Операционные регистры.

После проведения процесса инициализации устройство **RT-853VP** займет в адресном пространстве компьютера 256 байт памяти. Физический адрес первого операционного регистра определяется значением, указанным в первом базовом адресном регистре конфигурационного заголовка. Например, если базовый адрес равен 000D0000h, то операционные регистры займут область памяти 000D0000 – 000D00FF.

Операционные регистры, имеющие разрядность более 16 бит, программируются только с помощью 32-х разрядных операций чтения/записи (не допускается запись, например, сначала младших, а затем старших 16 бит).



В таблице 3 приведен перечень всех операционных регистров устройства.

Таблица 3

Смещение адреса регистра	Направление операции (чтение/запись)	Аббревиатура регистра	Описание регистра
00H	запись	Syst_Ctrl	Системный регистр управления
04H	запись	DMA_Ctrl	Регистр управления режимом DMA
08H	запись	DMA_Addr	Регистр адреса DMA
0CH	запись	DMA_BytE	Регистр счетчика данных DMA
10H	чтение	Reg_Events	Регистр событий
14H	чтение	Reg_Status	Регистр статуса
18H	запись/чтение	Reg_DIO	Регистр цифрового ввода-вывода
1CH	запись/чтение	Reg_Time	Регистр системных часов
20H	запись	DMA_Line	Регистр длины строки DMA
24H	запись	Mem_Addr	Регистр адреса первого поля кадра
28H	запись	Mem_Addr1	Регистр адреса второго поля кадра
34H	запись	Mem_Init	Регистр инициализации динамической памяти
38H	запись	PCI_Ctrl	Регистр управления внутренним буфером памяти
3CH	запись	ADC_Ctrl	Регистр управления подсистемой ввода изображения
A8H	запись	STB_Ctrl	Регистр управления подсистемой ввода строба
40H	запись	DAC_Ctrl	Регистр управления подсистемой вывода изображения
44H	запись	MUX_A	Регистр коммутации аналоговых входов
48H	запись	Reg_Level	Регистр смещения уровня черного входного сигнала
4CH	запись	Reg_Gain	Регистр усиления входного сигнала
50H	запись/чтение	ADC_MinMax	Регистр определения амплитуды входного сигнала
<i>Регистры настройки входного формата кадра</i>			
54H	запись	PLL_Ctrl	Регистр настройки входной частоты оцифровки
58H	запись	Len_Line_All	Полная длина строки (количество пикселей)
5CH	запись	Beg_Line_Act	Начало активной части строки (номер пикселя)
60H	запись	Len_Line_Act	Длина активной части строки (количество пикселей)
64H	запись	Beg_Field1_Act	Начало активной части первого поля кадра (номер строки)
68H	запись	Beg_Field2_Act	Начало активной части второго поля кадра (номер строки)
6CH	запись	Numb_Line_Act	Число активных строк кадра
70H	запись	Numb_Line_All	Число всех строк кадра
<i>Регистры настройки формата строба</i>			
ACH	запись	Strob_L	Отступ слева по горизонтали
B0H	запись	Strob_H	Размер по горизонтали
B4H	запись	Strob_U1	Отступ сверху в первом поле
B8H	запись	Strob_U2	Отступ сверху во втором поле
BCH	запись	Strob_V	Размер по вертикали



Смещение адреса регистра	Направление операции (чтение/запись)	Аббревиатура регистра	Описание регистра
Регистры настройки выходного формата кадра			
74H	запись	Len_Line_All_Out	Полная длина строки (количество пикселей)
78H	запись	Beg_Line_Act_Out	Начало активной части строки (номер пикселя)
7CH	запись	Len_Line_Act_Out	Длина активной части строки (количество пикселей)
80H	запись	Beg_Field1_Act_Out	Начало активной части первого поля кадра (номер строки)
84H	запись	Beg_Field2_Act_Out	Начало активной части второго поля кадра (номер строки)
88H	запись	Numb_Line_Act_Out	Число активных строк кадра
8CH	запись	Numb_Line_All_Out	Число всех строк кадра
90H	запись	T_Line_Out	Период строчной частоты (в микросекундах)
94H	запись	PLL_Ctrl_Out	Регистр настройки входной частоты оцифровки
Регистры цифровой обработки сигнала в области кадра			
98H	запись	ADC_Offset	Регистр цифрового смещения уровня входного сигнала
9CH	запись	ADC_Contrast	Регистр цифрового контрастирования входного сигнала
A0H	запись	ADC_DSP	Регистр функций DSP обработки
A4H	запись/чтение	ADC_Accum	Регистр управления накоплением
D4H	запись	DSP_Level	Регистр порога
D8H	запись	Reg_RC	Регистр управления рекурсивным фильтром
Регистры цифровой обработки сигнала в области строба			
C0H	запись	STB_Offset	Регистр цифрового смещения уровня входного сигнала
C4H	запись	STB_Contrast	Регистр цифрового контрастирования входного сигнала
C8H	запись	STB_DSP	Регистр функций DSP обработки
CCH	запись/чтение	STB_Accum	Регистр управления накоплением
D0H	запись/чтение	Reg_Hist	Регистр гистограммы яркости входного сигнала
FCH	чтение	Reg_Info	Регистр набора доступных функций DSP обработки

1.2.1. Системный регистр управления

С помощью регистра **Syst_Ctrl** задается маска прерываний по различным событиям и осуществляется настройка цифровых линий ввода-вывода.

Установкой в 1 битов D8..D1 регистра **Syst_Ctrl** разрешается фиксация соответствующих событий в регистре **Reg_Events**. Бит D0 разрешает генерацию прерываний от устройства при наступлении этих событий.

Биты	Описание
0	Общее разрешение прерываний
1	Разрешение прерывания при завершении DMA
2	Разрешение прерывания от входных кадровых синхроимпульсов



Биты	Описание
3	Разрешение прерывания от выходных кадровых синхроимпульсов
4	Разрешение прерывания при пропадании входного сигнала
5	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-1
6	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-2
7	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-3
8	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-4
12..9	Выбор направления цифровых линий I/O-4 .. I/O-1 0 - ввод с внешнего разъема 1 - вывод логических TTL уровней на внешний разъем через биты D3..D0 регистра Reg_DIO
31..13	Не используются

1.2.2. Регистр управления режимом DMA

Регистр **DMA_Ctrl** организует порядок обмена данными через интерфейс PCI в режиме MASTER.

Биты	Описание
0	Не используется
1	Принудительный останов режима DMA 0 - DMA проходит в обычном режиме 1 - режим DMA остановлен
2	Разрядность передаваемых данных 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (12 бит)
3	Направление передачи данных через интерфейс PCI: 0 - данные записываются во внутренний буфер видеопроцессора 1 - данные читаются из внутреннего буфера видеопроцессора
4	Чтение/запись чересстрочного изображения 0 - последовательное (прогрессивное) чтение/запись данных 1 - чтение/запись данных через строку (длина строки в пикселях указывается в регистре DMA_Line)
5	Чтение/запись данных с вертикальным отражением 0 - чтение/запись данных от верхней строки к нижней 1 - чтение/запись данных от нижней строки к верхней (Vertical Flip)
31..6	Не используются

1.2.3. Регистр адреса DMA.

В регистр **DMA_Addr** записывается 32-х разрядный адрес, указывающий на начало области оперативной памяти компьютера, с которой будет организован обмен данными



при выполнении DMA. Операция записи в регистр **DMA_Addr** дает также старт процессу DMA.

1.2.4. Регистр счетчика данных DMA

Регистр **DMA_Byte** является 22- разрядным счетчиком количества переданных байт в ходе выполнения DMA. За один цикл DMA можно передать до 4096 Кбайт данных. Значение количества байт, записываемое в регистр, должно быть кратно 16.

1.2.5. Регистр событий

В регистре **Reg_Events** фиксируется информация о событиях, вызывающих прерывания. В момент наступления одного из разрешенных событий устанавливается в 1 соответствующий бит регистра **Reg_Events** и выдается прерывание. При чтении регистра все установленные в 1 биты сбрасываются в 0, а прерывание снимается.

Важно! При обработке прерываний чтение регистра **Reg_Events** является обязательным условием.

Биты	Описание
0	Завершение процесса DMA. Бит устанавливается в “1”, когда счетчик количества переданных байт достигнет нуля, что свидетельствует об успешном завершении процесса DMA.
1	Ошибка во время выполнения DMA
2	Появление кадрового синхроимпульса во входном сигнале
3	Появление кадрового синхроимпульса в выходном сигнале
4	Пропадание входного сигнала
5	Изменение логического состояния одного либо нескольких цифровых входов
31..6	Не используются

1.2.6. Регистр статуса

В регистре статуса **Reg_Status** отражается информация о состоянии устройства и происходящих в нем процессах.

Биты	Описание
0	Окончание фиксации кадра во внутреннем буфере памяти. Бит сбрасывается в “0” при программировании режима фиксации кадра и устанавливается в “1” в конце ввода одного кадра в режиме без накопления или последнего введенного кадра в режиме с накоплением 0 – процесс фиксации кадра не закончен 1 – процесс фиксации кадра закончен
1	Окончание фиксации строба. Бит сбрасывается в “0” при программировании режима фиксации строба и устанавливается в “1” в конце ввода (с учетом режима накопления) 0 – процесс фиксации строба не закончен 1 – процесс фиксации строба закончен
2	Кадровый синхроимпульс во входном сигнале. Бит устанавливается в “1”, когда во входном



Биты	Описание
	сигнале присутствуют кадровые синхроимпульсы полей кадра.
3	Номер (или четность) поля текущего кадра входного телевизионного сигнала 0 – первое поле кадра 1 – второе поле кадра
4	Отсутствие входного телевизионного сигнала 0 – сигнал на входе присутствует 1 – сигнала на входе нет
5	Вывод очередного кадра изображения. Бит устанавливается в “1” в начале и сбрасывается в “0” в конце вывода полного кадра. Он может использоваться для синхронизации смены банков памяти с записанными в них телевизионными кадрами при выводе изображения на внешний монитор.
6	Процесс DMA активен. Бит устанавливается в “1” при записи адреса в регистр DMA_Addr и сбрасывается в “0” при завершении либо остановке процесса DMA.
7	Не используются
8	Не используются
10..9	Внутренняя ошибка. Установка любого из этих бит в “1” свидетельствует о появлении ошибки при обращении к внутреннему буферу памяти. Она может возникать в следующих случаях: <ul style="list-style-type: none">- не загружена программа в ПЛИС APEX20K из файла или не проведена инициализация динамической памяти;- сбой в работе устройства (например, сбой по питанию);- неисправность устройства.
31..11	Не используются

1.2.7. Регистр цифрового ввода-вывода

Регистр **Reg_DIO** осуществляет связь видеопроцессора с внешним устройством посредством сигналов в уровнях ТТЛ логики через соответствующие цифровые линии. Направление передачи сигналов для каждого цифрового входа-выхода программируется через регистр [Syst_Ctrl](#).

Линия **I/O-2** через резистор 1 кОм подключена к +5В и может использоваться для подачи команды внешнего запуска с помощью кнопки (замыканием на корпус).

Биты	Описание
3..0	Входные/выходные цифровые линии I/O-4 .. I/O-1 (см. Ошибка! Источник ссылки не найден.)
31..4	Не используются

1.2.8. Регистры адреса первого и второго полей кадра, регистр длины строки DMA

Регистры **Mem_Addr** и **Mem_Addr1** (21 бит) являются указателями на текущий адрес памяти активного банка во внутреннем буфере видеопроцессора для первого и второго полей кадра (номер активного банка определяются битами D1..D0 регистра [PCI_Ctrl](#)). При выполнении DMA эти указатели смещаются в соответствии с количеством переданных байт в каждом поле.



При прогрессивном способе обмена данными в регистры **Mem_Addr** и **Mem_Addr1** записывается адрес первой (при чтении/записи строк сверху вниз) или последней (при чтении/записи строк снизу вверх) строки активной части кадра. Активная часть кадра определяется регистрами входного/выходного формата кадра.

При чересстрочном способе обмена данными и чтении/записи строк сверху вниз в регистр **Mem_Addr** записывается адрес первой строки первого поля активной части кадра, а в регистр **Mem_Addr1** – адрес первой строки второго поля активной части кадра.

При чересстрочном способе обмена данными и чтении/записи строк снизу вверх (Vertical Flip) в регистр **Mem_Addr** записывается адрес последней строки второго поля активной части кадра, а в регистр **Mem_Addr1** – адрес последней строки первого поля активной части кадра.

Если передается не вся активная часть кадра, то в регистры **Mem_Addr** и **Mem_Addr1** записываются необходимые смещения от начала (или конца) полей кадра. В этом случае значение регистра **Mem_Addr1** можно вычислить по формуле:

[**Mem_Addr**] + [**DMA_Line**] * [**Numb_Line_Act** + 1] / 2 – для 8-разрядных данных;

[**Mem_Addr**] + [**DMA_Line**] * [**Numb_Line_Act** + 1] – для 16-разрядных данных.

Регистр **DMA_Line** (11 бит) определяет длину строки передаваемого через шину PCI кадра в пикселях (разрядность пикселя необходимо указывать в регистре **DMA_Ctrl**).

Значения, записываемые в регистры **Mem_Addr**, **Mem_Addr1** и **DMA_Line**, должны быть кратны 16.

1.2.9. Регистры конфигурирования ПЛИС Cyclon

Регистры **Start_Config**, **Data_Config** и **Mem_Init** используются для загрузки программы в ПЛИС ALTERA и инициализации динамической памяти видеопроцессора. В видеопроцессоре RT-853VP не используются.

1.2.10. Регистр управления внутренним буфером памяти

Регистр **PCI_Ctrl** осуществляет выбор активного PCI банка, а также организует порядок обмена данными с внутренним буфером памяти в режиме TARGET (см. раздел ‘Организация внутреннего буфера памяти’). В видеопроцессоре RT-853VP режим TARGET не поддерживается.

Биты	Описание
2..0	Выбор номера банка для обмена данными через PCI (выбор активного PCI банка)
9..3	Номер окна в активном PCI банке (только для режима TARGET) D9 D8 D7 D6 D5 D4 D3 Номер окна 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1



Биты	Описание
	0 0 0 0 0 1 0 2 . . . 1 1 1 1 1 1 1 127
31..10	Не используются

1.2.11. Регистр управления подсистемой ввода изображения

Регистр **ADC_Ctrl** осуществляет управление фиксацией входного ТВ изображения во внутреннем буфере памяти видеопроцессора.

Биты	Описание
2..0	Выбор номера банка для ввода ТВ сигнала (выбор активного ADC банка)
4..3	Не используются
5	Включение прорисовки границ строба в вводимом изображении
6	Обнуление входного сигнала
7	Переключение разрядности входных данных: 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (12 бит)
8	Включение режима фиксации кадра. Бит автоматически сбрасывается по окончании фиксации кадра.
31..9	Не используются

1.2.12. Регистр управления подсистемой ввода строба

Регистр **STB_Ctrl** осуществляет управление фиксацией некоторой прямоугольной области ТВ изображения (строба) во внутреннем буфере памяти видеопроцессора. Размер строба и его положение в кадре определяется регистрами формата строба (см. п. 1.2.17). Подсистема ввода строба работает независимо от подсистемы ввода изображения и может использоваться как для вычисления статистических характеристик, так и для ввода области изображения внутри строба.

Биты	Описание
2..0	Выбор номера банка для ввода ТВ сигнала внутри строба (выбор активного STB банка)
4	Отключение подсистемы ввода строба: 0 - границы строба определяют формат ввода, данные внутри строба фиксируются в активном STB банке 1 - границы строба определяют лишь зону вычисления статистических характеристик внутри строба
5..3	Не используются
7	Переключение разрядности входных данных:



Биты	Описание
	0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (12 бит)
8	Включение режима фиксации строба / вычисления статистики. Бит автоматически сбрасывается по окончании фиксации / вычисления.
31..9	Не используются

1.2.13. Регистр управления подсистемой вывода изображения

Регистр **DAC_Ctrl** управляет выводом ТВ изображения из внутреннего буфера памяти видеопроцессора на внешний монитор.

Биты	Описание
2..0	Выбор номера банка для вывода ТВ сигнала (выбор активного DAC банка)
3	Не используется
4	Включение режима вывода одного полукадра. В этом режиме при выводе на экран монитора второе поле кадра замещается первым (полезно при просмотре динамических изображений)
5	Включение режима мониторирования (сквозного канала АЦП – ЦАП).
6	Включение гашения выходного сигнала (без обнуления данных во внутреннем буфере)
7	Переключение разрядности данных при выводе на внешний монитор: 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (10 бит)
8	Синхронизация работы подсистемы вывода с подсистемой ввода. При этом у обеих подсистем совпадают кадровый синхросигнал и частота дискретизации (полезно при выводе на ВКУ результатов DSP обработки в реальном времени).
31..9	Не используются

1.2.14. Регистр коммутации аналоговых входов

Регистр **MUX_A** осуществляет подключение одного из четырех аналоговых входов.

Биты	Описание
1..0	Выбор аналогового входа D1 D0 Номер входа 0 0 0 0 1 1 1 0 2 1 1 3
31..2	Не используются



1.2.15. Регистры усиления и смещения уровня черного входного сигнала, регистр определения амплитуды входного сигнала.

С помощью 8-разрядных регистров **Reg_Gain** и **Reg_Level** производится регулировка усиления и постоянной составляющей видеосигнала, что эквивалентно настройке контрастности и яркости вводимого изображения.

В регистре **ADC_MinMax** находятся минимальное и максимальное 8-битовые значения входного сигнала, вычисленные за время ввода кадра или строба. Область вычисления (кадр или строб) определяется битом D0 регистра при записи. Минимальное и максимальное значения в дальнейшем могут быть использованы для корректировки содержимого регистров **Reg_Gain** и **Reg_Level** с целью оптимальной настройки яркости и контрастности вводимого изображения.

Биты	Чтение/запись	Описание
0	запись	Переключение области вычислений между полным кадром и стробом: 0 - вычисления проводятся внутри всего кадра 1 - вычисления проводятся внутри строба
7..0	чтение	Минимальное значение входного сигнала за время ввода последнего кадра.
15..8	чтение	Максимальное значение входного сигнала за время ввода последнего кадра.
31..16		Не используются

1.2.16. Регистры настройки входного формата кадра.

Аббревиатура регистра	Описание регистра	Значение для сигнала 1-го ТВ стандарта	Значение для сигнала 2-го ТВ стандарта
Len_Line_All	Общая длина строки (количество пикселей в строке)	943	1439
Beg_Line_Act	Количество пикселей от переднего фронта строчного синхроимпульса до начала активной части строки	159	319
Len_Line_Act	Длина активной части строки (в пикселях)	767	1023
Beg_Field1_Act	Номер строки, соответствующей началу активной части первого поля кадра	21	53
Beg_Field2_Act	Номер строки, соответствующей началу активной части второго поля кадра	*	*
Numb_Line_Act	Число активных строк кадра	575	1023
Numb_Line_All	Общее количество строк в кадре	624	1248
PLL_Ctrl	Настройка генератора частоты оцифровки входного сигнала	204H	15H

В регистры **Len_Line_All**, **Beg_Line_Act**, **Len_Line_Act**, **Beg_Field1_Act**, **Beg_Field2_Act**, **Numb_Line_Act**, **Numb_Line_All**, **T_Line** записываются значения на единицу меньше фактических.

Длина активной части строки [**Len_Line_Act**] должна быть кратна 16.



Значение регистра **Beg_Field2_Act** зависит от типа развертки входного сигнала и начала активной части первого поля кадра. Для сигнала с чересстрочной разверткой значение регистра **Beg_Field2_Act** вычисляется по формуле:

$$[\text{Beg_Field2_Act}] = [\text{Numb_Line_All}] / 2 + [\text{Beg_Field1_Act}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Beg_Field2_Act** записывается то же значение, что и в регистр **Beg_Field1_Act**.

Регистр **PLL_Ctrl** служит для настройки генератора частоты квантования в соответствии со стандартом входного ТВ сигнала и для переключения платы в режим внешней синхронизации. Значения битов регистра в зависимости от периода строчной частоты входного сигнала в микросекундах – T , общей длины строки в пикселях – L , и их отношения – L/T , указаны в таблице.

Биты	T	L/T	Значение
7..0	48.84	–	04h
	31.48	–	15h
	24.31	–	25h
	16.24	–	36h
	12.16	–	46h
	10.12	–	57h
9..8	71.84	>44	0
		22..44	1
		11..22	2
		< 11	3
	58.71	>30	0
		15..30	1
		8..15	2
		< 8	3
	34.57	>25	0
		13..25	1
		7..13	2
		< 7	3
	29.34	>15	0
		8..15	1
		4..8	2
		< 4	3
	10..29	>10	0
		5..10	1
		3..5	2
		< 3	3
10	–	–	0 – режим внутренней синхронизации 1 – режим внешней синхронизации (см. п. 4.7)
31..11	–	–	Не используются



1.2.17. Регистры настройки формата строба

Аббревиатура регистра	Описание регистра
Strob_L	Отступ слева – количество пикселей от переднего фронта строчного синхроимпульса до начала строба по горизонтали
Strob_H	Размер строба по горизонтали (в пикселях)
Strob_U1	Отступ сверху в первом поле – номер строки, соответствующей началу строба в первом поле кадра
Strob_U2	Отступ сверху во втором поле – номер строки (от начала кадра), соответствующей началу строба во втором поле кадра
Strob_V	Размер строба по вертикали (в пикселях)

В регистры настройки формата строба записываются значения на единицу меньше фактических. При вводе строба в компьютер размер строба по горизонтали [**Strob_H**] должен быть кратен 16. Если строб используется только для статистических измерений (без ввода в компьютер), то размер по горизонтали может быть произвольным.

Значение регистра **Strob_U2** (по аналогии с **Beg_Field2_Act**) для сигнала с чересстрочной разверткой вычисляется по формуле:

$$[\text{Strob_U2}] = [\text{Numb_Line_All}] / 2 + [\text{Strob_U1}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Strob_U2** записывается то же значение, что и в регистр **Strob_U1**.

При программирования регистров настройки строба следует придерживаться следующего правила: сумма значений отступа и размера строба по горизонтали не должна превышать длины строки в пикселях [**Len_Line_All**], а сумма значений отступа и размера строба по вертикали – общего количества строк кадра [**Numb_Line_All**].

1.2.18. Регистры настройки выходного формата кадра

Аббревиатура регистра	Описание регистра	Значение для сигнала 1-го ТВ стандарта	Значение для сигнала 2-го ТВ стандарта
Len_Line_All_Out	Общая длина строки (в пикселях) при выводе	943	1439
Beg_Line_Act_Out	Количество пикселей от переднего фронта синхроимпульса до начала активной части строки при выводе	159	319
Len_Line_Act_Out	Длина активной части строки (в пикселях) при выводе	767	1023
Beg_Field1_Act_Out	Номер строки, соответствующей началу активной части первого поля кадра при выводе	21	53
Beg_Field2_Act_Out	Номер строки, соответствующей началу активной части второго поля кадра при выводе	*	*
Numb_Line_Act_Out	Число активных строк кадра при выводе	575	1023
Numb_Line_All_Out	Общее количество строк в кадре при выводе	624	1248
T_Line_Out	Период строчной частоты (в тактах опорной 59 МГц частоты)	3775	
PLL_Ctr_Out	Настройка генератора частоты оцифровки выходного сигнала	204H	15H



В регистры выходного формата кадра **Len_Line_All_Out**, **Beg_Line_Act_Out**, **Len_Line_Act_Out**, **Beg_Field1_Act_Out**, **Beg_Field2_Act_Out**, **Numb_Line_Act_Out**, **Numb_Line_All_Out** записываются значения на единицу меньше фактических.

Длина активной части строки [**Len_Line_Act_Out**] должна быть кратна 16.

Значение регистра **Beg_Field2_Act_Out** для сигнала с чересстрочной разверткой вычисляется по формуле:

$$[\text{Beg_Field2_Act_Out}] = [\text{Numb_Line_All_Out}] / 2 + [\text{Beg_Field1_Act_Out}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Beg_Field2_Act_Out** записывается тоже значение, что и в регистр **Beg_Field1_Act_Out**.

В регистр **T_Line_Out** записывается значение периода строчной частоты сигнала в тактах опорной частоты 59 МГц:

$$[\text{T_Line_Out}] = T * 59, \text{ где } T - \text{период строчной частоты в микросекундах}$$

Регистр **PLL_Ctrl_Out** служит для настройки генератора частоты квантования в соответствии со стандартом выходного ТВ сигнала. Значения битов регистра в зависимости от периода строчной частоты входного сигнала в микросекундах – T, общей длины строки в пикселях – L, и их отношения – L/T, устанавливаются по аналогии с регистром **PLL_Ctrl**.

1.2.19. Регистры цифровой обработки входного сигнала

Регистры **ADC_DSP** и **STB_DSP** осуществляет управление цифровой обработкой ТВ сигнала, поступающего от подсистем ввода изображения и строба.

Биты	Описание
2..0	Выбор банка в качестве второго операнда для DSP обработки (выбор активных DSP и SDSP банков)
3	Не используется
6..4	Выбор функции DSP обработки: D2 D1 D0 0 0 0 – ввод без цифровой обработки 0 0 1 – усреднение первого и второго полей кадра 0 1 0 – исключение фона, записанного в DSP банке 0 1 1 – вычитание DSP банка 1 0 0 – сложение с DSP банком 1 0 1 – операция AND с DSP банком 1 1 0 – операция OR с DSP банком 1 1 1 – операция XOR с DSP банком



Биты	Описание
31..7	Не используются

Изображение, используемое в качестве второго операнда, должно быть записано в активный DSP банк в 12-ти разрядном виде.

В видеопроцессоре реализованы следующие функции цифровой обработки:

- *усреднение первого и второго полей кадра* (второго операнда не требуется);
- *исключение фона* из вводимого изображения. Функция работает по принципу сравнения значений одинаково расположенных пикселей в двух кадрах (оцифровываемым в данный момент и записанным в DSP банке) и заменой их на нулевое значение, если разность по модулю не превышается порога, заданного в регистре **DSP_Level** (12 бит);
- *вычитание двух кадров*. В качестве вычитаемого используется изображение из DSP банка;
- *сложение двух кадров*. Для исключения переполнения разрядной сетки операнды перед сложением делятся на 2;
- *наложение пространственной маски AND, OR, XOR*.

Набор функций может быть изменен или дополнен по согласованию с заказчиком. В типовой поставке часть функций в связи с нехваткой ресурсов в ПЛИС может быть отключена и перенесена в дополнительный файл загрузки.

Регистры **ADC_Accum** и **STB_Accum** осуществляют управление режимом накопления кадров входного ТВ сигнала, поступающего от подсистем ввода изображения и строба. Если задана какая-либо функция цифровой обработки, то она выполняется в конечной стадии режима накопления при вводе последнего кадра.

Биты	Чтение/Запись	Описание																																				
2..0	Запись	<p>Выбор количества накапливаемых кадров:</p> <table style="margin-left: 20px; border-collapse: collapse;"> <tr> <td style="padding-right: 10px;">D2</td> <td style="padding-right: 10px;">D1</td> <td style="padding-right: 10px;">D0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>- нет накопления</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>- 2 кадра</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>- 4 кадра</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>- 8 кадров</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>- 16 кадров</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>- 32 кадра</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>- 64 кадра</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>- 128 кадров</td> </tr> </table>	D2	D1	D0		0	0	0	- нет накопления	0	0	1	- 2 кадра	0	1	0	- 4 кадра	0	1	1	- 8 кадров	1	0	0	- 16 кадров	1	0	1	- 32 кадра	1	1	0	- 64 кадра	1	1	1	- 128 кадров
D2	D1	D0																																				
0	0	0	- нет накопления																																			
0	0	1	- 2 кадра																																			
0	1	0	- 4 кадра																																			
0	1	1	- 8 кадров																																			
1	0	0	- 16 кадров																																			
1	0	1	- 32 кадра																																			
1	1	0	- 64 кадра																																			
1	1	1	- 128 кадров																																			
7..0	Чтение	Количество накопленных на текущий момент кадров																																				
31..8	31..3	Не используются																																				



В режиме накопления кадров выдача прерываний от подсистемы ввода осуществляется по каждому введенному кадру, а бит готовности (бит D0 регистра **Reg_Stat**) будет установлен по окончании ввода последнего из серии накапливаемых кадров. Процесс накопления можно принудительно остановить, сбросив бит D8 регистра **ADC_Ctrl**.

В качестве альтернативы режиму накопления кадров в видеопроцессоре может использоваться рекурсивный фильтр, позволяющий осуществлять ввод кадров в реальном времени. В этом случае результирующее изображение в n-ом кадре вычисляется следующим образом:

$$Y_n = \frac{1}{k} * X_n + \left(1 - \frac{1}{k}\right) * Y_{n-1}$$

где Y_n – результирующее изображение в n-ом кадре;
 X_n – оцифрованное изображение в n-ом кадре;
 Y_{n-1} – результирующее изображение в n-1-ом кадре;
 k – коэффициент рекурсии ($2 \leq k \leq 128$).

Коэффициент рекурсии определяет динамику обновления информации при вводе изображения: чем выше коэффициент рекурсии, тем медленнее меняется результирующее изображение и тем лучше происходит фильтрация некоррелированных шумов.

Управление режимом рекурсивной фильтрации осуществляется регистром **Reg_RC**. Для исключения погрешности определения результирующего изображения все промежуточные результаты вычислений при оцифровке нового кадра заносятся в специальный банк памяти видеопроцессора – RC банк (см. п. 4.3).

Биты	Описание
2..0	Выбор номера банка для хранения промежуточных результатов рекурсии (выбор RC банка)
3	Не используется
6..4	Определение коэффициента рекурсии: D6 D5 D4 Коэф. рекурсии 0 0 0 – 1 (нет рекурсии) 0 0 1 – 2 0 1 0 – 4 0 1 1 – 8 1 0 0 – 16 1 0 1 – 32 1 1 0 – 64 1 1 1 – 128



Биты	Описание
31..7	Не используются

Рекурсивный фильтр может использоваться либо в подсистеме ввода изображения, либо в подсистеме ввода строба (см. регистр [Reg_Info](#)).

Еще одним свойством видеопроцессора является возможность проводить с оцифрованным сигналом линейное преобразование по формуле:

$$y = a * (x - b), \text{ где } x \text{ -- сигнал на входе преобразователя;}$$

$$y \text{ -- сигнал на выходе преобразователя;}$$

$$a \text{ -- константа повышения контрастности;}$$

$$b \text{ -- константа смещения (12 бит).}$$

Суть этого преобразования – повышение контрастности вводимого изображения. Необходимость контрастирования может возникнуть в случае слабого ТВ сигнала (если не хватает аналоговых регулировок) или сильно зашумленного сигнала (с применением накопления или рекурсивной фильтрации). Фактически знак умножения означает сдвиг старших значащих разрядов каждого пикселя влево, а знак вычитания – перемещения информационной части в область младших разрядов. Значение константы смещения (12 бит) определяется регистрами **ADC_Offset** для подсистемы ввода изображения и **STB_Offset** для подсистемы ввода строба. Значение константы повышения контрастности определяется регистрами **ADC_Contrast** и **STB_Contrast** соответственно.

Биты	Описание
1..0	Значение константы повышения контрастности: $\begin{array}{lll} \text{d1} & \text{d0} \\ \hline 0 & 0 & - 1 \\ 0 & 1 & - 2 \\ 1 & 0 & - 4 \\ 1 & 1 & - 8 \end{array}$
31..2	Не используются

1.2.20. Регистр гистограммы яркости входного сигнала

Гистограмма яркости входного сигнала вычисляется по 8-ми старшим битам каждого пикселя всякий раз при вводе кадров и представляет собой массив из 256 элементов, где каждый элемент – это количество пикселей с одним значением яркости. Область вычисления – весь кадр или строб, определяется регистром [ADC_MinMax](#).

Для построения гистограммы элементы массива последовательно друг за другом



считываются из регистра **Reg_Hist**. Перед началом считывания необходимо записать в регистр **Reg_Hist** любое произвольное значение, тем самым установив счетчик элементов массива в 0. Построение гистограммы проводится после окончания фиксации кадра или строба.

1.2.21. Регистр набора доступных функций DSP обработки

Как отмечалось ранее, в связи с нехваткой ресурсов в ПЛИС APEX20K набор функций DSP обработки в одном файле загрузки может быть ограничен и часть функций перенесена в дополнительные файлы загрузки. В регистре **Reg_Info** содержится информация о доступных на текущий момент функциях DSP обработки сигнала. Биты регистра, установленные в 1 свидетельствуют о наличии соответствующих функций, биты, сброшенные в 0 – об их отсутствии.

Биты	Описание
Определение доступности функций DSP обработки в подсистеме ввода изображения	
1..0	Режим накопления и максимальное количество накапливаемых кадров: D1 D0 0 0 – режим накопления отсутствует 0 1 – 32 кадра 1 0 – 64 кадра 1 1 – 128 кадров
3..2	Рекурсивная фильтрация и максимальный коэффициент рекурсии: D3 D2 Коэф. рекурсии 0 0 – рекурсивный фильтр отсутствует 0 1 – 32 1 0 – 64 1 1 – 128
4	Цифровое контрастирование вводимого изображения
5	Расчет гистограммы яркости
8..6	Зарезервированы
9	Усреднение первого и второго полей кадра
10	Исключение фона, записанного в DSP банке
11	Вычитание DSP банка
12	Сложение с DSP банком
13	Операция AND с DSP банком
14	Операция OR с DSP банком
15	Операция XOR с DSP банком



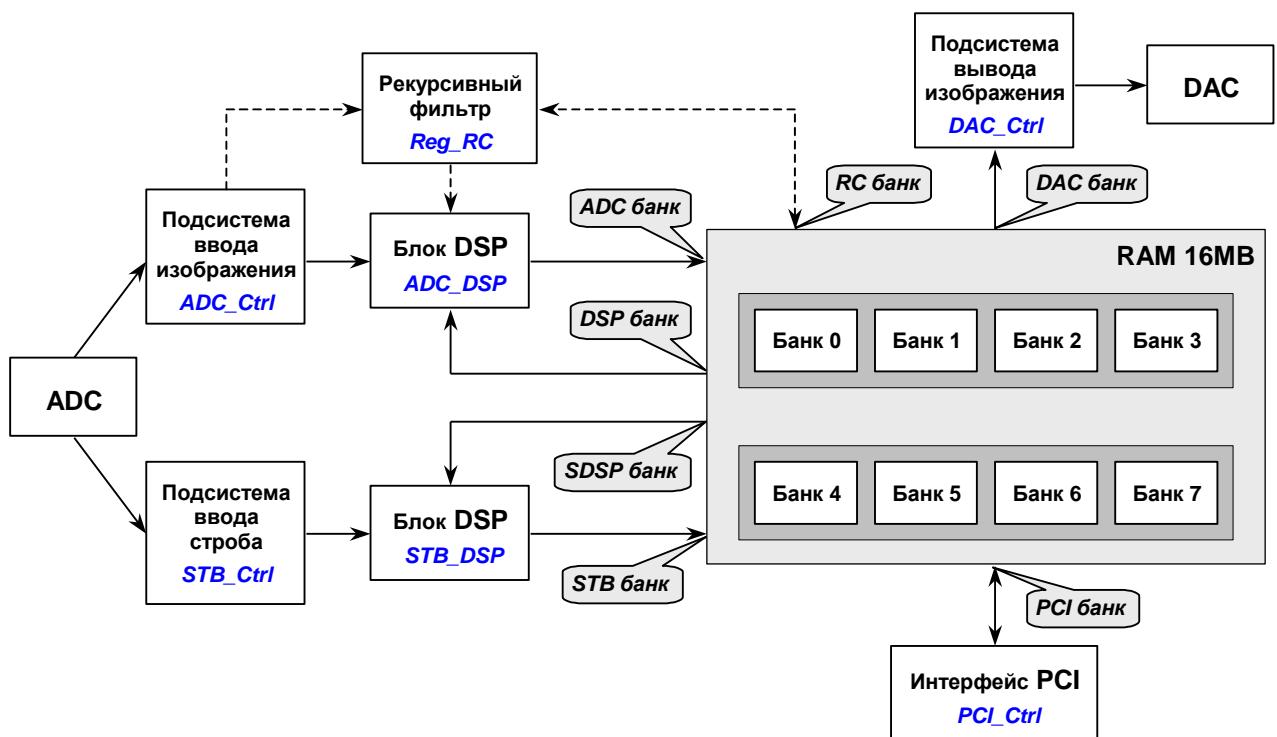
Биты	Описание
Определение доступности функций DSP обработки в подсистеме ввода строка	
17..16	Режим накопления и максимальное количество накапливаемых кадров: D17 D16 0 0 – режим накопления отсутствует 0 1 – 32 кадра 1 0 – 64 кадра 1 1 – 128 кадров
Рекурсивная фильтрация и максимальный коэффициент рекурсии: D19 D18 Коэф.рекурсии	
19..18	0 0 – рекурсивный фильтр отсутствует 0 1 – 32 1 0 – 64 1 1 – 128
20	Цифровое контрастирование
21	Расчет гистограммы яркости
24..22	Зарезервированы
25	Усреднение первого и второго полей кадра
26	Исключение фона, записанного в DSP банке
27	Вычитание DSP банка
28	Сложение с DSP банком
29	Операция AND с DSP банком
30	Операция OR с DSP банком
31	Операция XOR с DSP банком



1.3. Организация внутреннего буфера памяти

Внутренний буфер памяти **RT-853VP** имеет объем 32 Мбайт и состоит из 8 банков по 4 Мбайт. Каждый банк используется для записи и хранения одного телевизионного кадра.

Логика работы видеопроцессора предполагает одновременное обращение к внутренней памяти со стороны нескольких подсистем устройства. При захвате видеосигнала данные от аналого-цифрового преобразователя (ADC) сначала через подсистемы ввода изображения и строба заносятся в банки памяти, определяемые регистрами **ADC_Ctrl** и **STB_Ctrl**. Если при этом задействована какая-либо функция цифровой обработки, то в качестве второго операнда используются данные из банков, определяемых регистрами **ADC_DSP** и **STB_DSP** соответственно. После оцифровки всего кадра или строба данные могут передаваться через шину PCI в оперативную память компьютера или через подсистему вывода изображения на цифроаналоговый преобразователь (DAC) и далее на ВКУ.



Банк памяти, непосредственно участвующий в одном из перечисленных выше процессов, называется активным. Таким образом, в устройстве может быть несколько активных банков, которые условно назовем **PCI**, **ADC**, **DSP**, **STB**, **SDSP** и **DAC** **банками**. Номера активных банков определяются соответственно битами D2-D0 регистров **PCI_Ctrl**, **ADC_Ctrl**, **ADC_DSP**, **STB_Ctrl**, **STB_DSP** и **DAC_Ctrl**.

При использовании рекурсивной фильтрации в памяти видеопроцессора выделяется еще один банк, предназначенный для хранения промежуточных результатов рекурсии – **RC банк**. Его номер определяется битами D2-D0 регистра **Reg_RC**.



Назначение активных банков при вводе и выводе одиночных кадров может быть любым. Достаточно, например, использовать нулевой банк в качестве *активного ADC банка* для оцифровки кадра и в качестве *активного PCI банка* для последующей передачи его через шину PCI .

При вводе или выводе непрерывного потока кадров манипулирование активными банками памяти должно подчиняться определенному правилу: оцифровка или вывод телевизионного изображения осуществляются в банке отличном от банка, выбранного в данный момент для передачи данных по шине PCI. Это позволит избежать пропуска кадров при вводе и выводе изображения. Помимо этого следует учесть, что внутри буфера существует разделение банков памяти на две группы – это банки с номерами 0-3 и 4-7. Доступ к банкам из разных групп осуществляется параллельно, внутри одной группы – последовательно (в порядке поступления запросов от различных подсистем видеопроцессора). Поэтому при больших частотах оцифровки и при использовании DSP обработки, когда плотность потока данных значительно возрастает, для эффективного управления процессами ввода-вывода изображения следует пользоваться банками из разных групп. Правильная организация конвейера – довольно нетривиальная задача и будет рассмотрена отдельно.

Обмен данными нашине PCI может проходить в двух режимах: MASTER и TARGET. В режиме TARGET передача данных осуществляется с помощью простых языковых операторов типа “**copy**”. В режиме MASTER задействован механизм прямого доступа к памяти (DMA). Режим TARGET в видеопроцессоре RT-853VP не поддерживается.

При обмене данными в режиме MASTER (или DMA) внутренний буфер памяти видеопроцессора на адресное пространство оперативной памяти компьютера не отображается. Банк памяти представляет собой единое целое и может быть записан или считан целиком за один раз. Обмен данными в режиме DMA будет рассмотрен ниже.

При оцифровке изображения строки ТВ кадра во внутреннем буфере памяти располагаются последовательно друг за другом – сначала строки первого поля, затем второго. При передаче изображения в оперативную память компьютера для восстановления правильного чередования строк можно использовать чересстрочный обмен данными (то же относится и к выводу изображения на внешний монитор).



1.4. Инициализация видеопроцессора под управлением MS-DOS

После включения питания компьютера или нажатия кнопки “RESET” выполняется начальная инициализация видеопроцессора, т.е. заполнение его конфигурационного заголовка. Процесс инициализации будет зависеть от типа операционной системы, под управлением которой работает устройство. Под Windows 2000, XP и т.д. инициализация осуществляется драйвером, входящим в комплект поставки. Здесь же рассмотрим лишь пример инициализации видеопроцессора при работе под управлением MS-DOS.

Для доступа к конфигурационным заголовкам PCI устройств существуют два стандартных 32-разрядных порта ввода-вывода, закрепленных за арбитром шины PCI, и называемых **CONFIG_ADDRESS** (адрес 0CF8h) и **CONFIG_DATA** (адрес 0CFCh). Формат регистра **CONFIG_ADDRESS** следующий:

	Зарезервировано = 0		<i>Номер шины</i>				<i>Номер устройства</i>				<i>Номер функции</i>				<i>Номер регистра</i>				

Где:

номер шины – номер шины PCI, к которой подключен видеопроцессор;

номер устройства – число от 0 до 31, соответствующее слоту расширения шины PCI, в котором установлен видеопроцессор;

номер функции – это значение равно 0;

номер регистра – число от 0 до 60 кратное 4, указывающее на смещение в конфигурационном заголовке видеопроцессора, куда будет произведено обращение при последующем чтении/записи регистра **CONFIG DATA**.

Сначала в порт **CONFIG_ADDRESS** записываются координаты того регистра конфигурационного заголовка, к которому необходимо произвести обращение. Затем производится чтение или запись данных в этот регистр через порт **CONFIG_DATA**. Например, если требуется записать в базовый адресный регистр значение 000D0000h, а за видеопроцессором закреплен номер устройства 10h, то сначала в порт **CONFIG_ADDRESS** записывается число 80008010h, а затем в порт **CONFIG_DATA** – число 000D0000h. Необходимо помнить, что все операнды в операциях ввода/вывода должны быть 32-х разрядными (в реальном режиме процессора этого можно добиться, проставляя в ассемблерном тексте префикс 66h).

Процесс инициализации состоит из нескольких этапов:

- определение номера шины и номера устройства, закрепленного за видеопроцессором;
 - запись базовых адресов памяти в соответствующие регистры конфигурации;



- включение платы в пространство памяти и включение режима MASTER установкой в “1” битов D2, D1 в регистре **Command** конфигурационного заголовка.

Рекомендуемый для MS-DOS базовый адрес памяти – D0000h. При этом в файле CONFIG.SYS при загрузке драйвера EMM386.EXE необходимо выключить соответствующую область верхней памяти строкой:

DEVICE = C:\DOS\EMM386.EXE NOEMS X=D000-D7FF

В качестве примера в файле INIT_851.PAS приведен текст программы инициализации, написанной на языке Паскаль (Borland Pascal 7.0).

Альтернативным методом программирования конфигурационного заголовка может быть использование соответствующих функций BIOS, описанных в документе “PCI BIOS Specification. Revision 2.1” .

Примечание. На практике произвести конфигурирование для видеопроцессора RT-853VP под MS-DOS не удалось, что обусловлено другим механизмом работы шины PCI-Express.



1.5 Обмен данными в режиме DMA

Обмен данными в режиме DMA состоит из двух этапов – старта процесса DMA и последующего получения подтверждения об его завершении.

1.5.1. Основной старт DMA

Основной старт DMA выполняется каждый раз, когда требуется передать кадр изображения из внутренней памяти устройства в оперативную память компьютера или обратно за один цикл, либо в начальной фазе при передаче кадра частями. В этом случае необходимы следующие действия:

- 1). Программируется регистр **DMA_Ctrl**.
- 2). Программируются регистры **Mem_Addr**, **Mem_Addr1** и **DMA_Line**. Значения, записываемые в регистры, должны быть кратны 16.
- 3). Программируется регистр **DMA_Byte**.
- 4). Последним программируется регистр **DMA_Addr**. После операции записи в этот регистр начинается процесс DMA.

Контроллер DMA, реализованный в RT-853VP, выдает запрос на шину PCI и после получения подтверждения на захват шины, начинает передачу данных блоками до 256 байт (длина блока определяется значением конфигурационного регистра **Latency Timer**). После передачи каждого блока шина PCI освобождается на время примерно равное времени передачи блока. Процесс DMA заканчивается, когда счетчик количества переданных байт достигнет значения, записанного в регистр **DMA_Byte**.

1.5.2. Промежуточный старт DMA

Промежуточный старт DMA выполняется повторно, если передача кадра ведется частями. В этом случае необходимы следующие действия:

- 1). Программируется регистр **DMA_Byte**. Если количество передаваемых данных не изменилось по сравнению с предыдущим стартом – регистр можно не программировать.
- 2). Программируется регистр **DMA_Addr**.

1.5.3. Завершение процесса DMA

Получение подтверждения о завершении DMA происходит либо по прерыванию, либо при постоянном опросе регистров **Reg_Stat** или **Reg_Events**.

- 1). При получении прерывания (если оно было разрешено) прочитать регистр **Reg_Events** и убедиться, что прерывание пришло от контроллера DMA и процесс DMA закончился корректно (бит D0 = 1). При чтении регистра **Reg_Events** прерывание снимается, а бит D0 сбрасывается. Необходимо помнить, что при чтении регистра **Reg_Events** все остальные биты событий сбрасываются.
- 2). Завершение DMA можно определить также и без прерывания – по регистру состояния **Reg_Stat** (бит D6=0).



Важное замечание:

Получение прерывания от устройства при окончании DMA фактически означает высвобождение шины PCI, однако, внутренние процессы в устройстве могут еще некоторое время продолжаться (до 10 мкс). Полное завершение DMA контролируется по биту D6 регистра **Reg_Stat**.

1.6. Ввод изображения в режиме внешнего запуска

Ввод изображения может быть синхронизирован с внешним ТТЛ сигналом, подключенным к одной из линий цифрового интерфейса платы. При этом алгоритм ввода кадров будет определяться характером подаваемого сигнала запуска и требуемым временем реакции на него.

Самым простым способом синхронизации ввода с запускающим сигналом является чтение регистра **Reg_Stat**, проверка логического уровня на соответствующей цифровой линии и при обнаружении, например, логической 1 осуществление фиксации кадра во внутреннем буфере платы и дальнейшей перекачки его в оперативную память компьютера. Однако, если сигнал запуска достаточно короткий (меньше периода опроса регистра **Reg_DIO**), то он может быть пропущен.

В случае, если сигнал запуска имеет импульсный характер или требуется быстрая реакция системы, можно воспользоваться другим способом. Сигнал запуска подключить к цифровой линии **I/O-2**. В регистре **Syst_Ctrl** установкой бита D6 в “1” разрешить прерывание по изменению логического состояния на этой линии. Тогда при обнаружении переднего или заднего фронта сигнала запуска в регистре событий **Reg_Events** установится бит D5, который либо вызовет прерывание (если они были разрешены битом D0 регистра **Syst_Ctrl**), либо просто зафиксирует факт прихода импульса запуска. При чтении регистра **Reg_Events** все биты зафиксированных ранее событий (в том числе и D5) сбрасываются.

1.7. Ввод изображения в режиме внешней синхронизации

С помощью внешних кадровых и строчных синхросигналов ТТЛ уровня можно осуществлять ввод изображения в режиме внешней синхронизации. Для подключения сигналов внешней синхронизации используются линии цифрового интерфейса платы. На выводы **I/O-1** и **I/O-3** подаются соответственно строчные и кадровые синхроимпульсы положительной полярности (эти линии должны быть настроены на ввод). Привязка ТВ изображения к уровню черного происходит во время действия строчного синхроимпульса. Переключение в режим внешней синхронизации осуществляется установкой в 1 бита D10 регистра **PLL_Ctrl**. Длительность строчного синхроимпульса может быть произвольной, кадрового – не менее одного периода строчной частоты.

1.8. Использование системных часов

Системные часы используются совместно с двумя внешними задающими сигналами ТТЛ уровня: сигналом опорной частоты 10 МГц и сигналом синхронизации секунд частотой 1



Гц, которые подаются на выводы **I/O-2** и **I/O-4** соответственно (эти линии должны быть настроены на ввод). Снятие показаний и установка часов осуществляется с помощью регистра **Reg_Time**. При отсутствии опорной частоты на выводе **I/O-4** системные часы не меняют показаний, т.е. стоят. Сигнал синхронизации секунд по переднему фронту осуществляет обнуление милисекунд и увеличение секунд на единицу, если к моменту поступления сигнала было отсчитано более половины секунды.

Биты	Описание
14 .. 0	Количество милисекунд в диапазоне 0 ...999 с шагом 0.0512 миллисекунды
31..15	Количество секунд в диапазоне 0 ...86399 (или в формате чч.мм.сс.: 00.00.00 – 23.59.59)

