

РАСТР ТЕХНОЛОДЖИ

**Устройство ввода-вывода
телевизионных изображений
RT-851**

Техническое описание и инструкция по эксплуатации

© Москва 2003

ОГЛАВЛЕНИЕ

1. НАЗНАЧЕНИЕ.....	3
2. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ.....	3
3. ФУНКЦИОНАЛЬНАЯ СХЕМА УСТРОЙСТВА.....	4
4. РЕЖИМЫ РАБОТЫ ИЗДЕЛИЯ.....	5
5. ПОТРЕБЛЯЕМЫЕ РЕСУРСЫ.....	6
5.1. РЕГИСТРЫ КОНФИГУРАЦИИ ШИНЫ PCI.....	6
5.2. ОПЕРАЦИОННЫЕ РЕГИСТРЫ.....	8
5.2.1. Системный регистр управления.....	10
5.2.2. Регистр управления режимом DMA.....	10
5.2.3. Регистр адреса DMA.....	11
5.2.4. Регистр счетчика данных DMA.....	11
5.2.5. Регистр событий.....	11
5.2.6. Регистр статуса.....	11
5.2.7. Регистр цифрового ввода-вывода.....	12
5.2.8. Регистры адреса первого и второго полей кадра, регистр длины строки DMA.....	12
5.2.9. Регистры конфигурирования ПЛИС APEX20K.....	13
5.2.10. Регистр управления внутренним буфером памяти.....	13
5.2.11. Регистр управления подсистемой ввода изображения.....	13
5.2.12. Регистр управления подсистемой ввода строба.....	14
5.2.13. Регистр управления подсистемой вывода изображения.....	14
5.2.14. Регистр коммутации аналоговых входов.....	15
5.2.15. Регистры усиления и смещения уровня черного входного сигнала, регистр определения амплитуды входного сигнала.....	15
5.2.16. Регистры настройки входного формата кадра.....	15
5.2.17. Регистры настройки формата строба.....	16
5.2.18. Регистры настройки выходного формата кадра.....	17
5.2.19. Регистры цифровой обработки входного сигнала.....	18
5.2.20. Регистр гистограммы яркости входного сигнала.....	20
5.2.21. Регистр набора доступных функций DSP обработки.....	20
5.3. ОРГАНИЗАЦИЯ ВНУТРЕННЕГО БУФЕРА ПАМЯТИ.....	21
6. ИНИЦИАЛИЗАЦИЯ ПЛАТЫ.....	23
7. ОБМЕН ДАННЫМИ В РЕЖИМЕ DMA.....	24
7.1. Основной старт DMA.....	24
7.2. Промежуточный старт DMA.....	24
7.3. Завершение процесса DMA.....	25
8. ВВОД ИЗОБРАЖЕНИЯ В РЕЖИМЕ ВНЕШНЕГО ЗАПУСКА.....	25
9. ВКЛЮЧЕНИЕ ПЛАТЫ.....	25
10. ГАРАНТИЙНЫЕ ОБЯЗАТЕЛЬСТВА.....	26

1. Назначение.

Устройство ввода-вывода и обработки телевизионных изображений (видеопроцессор) **RT-851** предназначено для подключения к ЭВМ на базе платформы INTEL x86 телевизионных камер, тепловизоров, электронных микроскопов, видеомагнитофонов, рентгеновских ТВ установок или любых других устройств, выдающих телевизионный сигнал в различных стандартах. Видеопроцессор позволяет осуществлять двухпоточковый ввод/вывод в ЭВМ черно-белый телевизионный сигнал в формате X * Y * 12 или X * Y * 8 в реальном времени (не менее 25 кадров в секунду), выполнять первичную обработку видео изображений, а также выводить оцифрованное черно-белое изображение на внешний ТВ монитор или видео-контрольное устройство (ВКУ).

2. Технические характеристики.

Видеовход

- 4 программно коммутируемых видеовхода.
- Входное сопротивление: 75 Ом.
- Уровень входного сигнала: от 0.5V pp до 2V pp.
- Полярность синхроимпульсов: отрицательная.
- Синхронизация: внешняя (ТТЛ - уровень) или внутренняя.
- Программная регулировка усиления входного сигнала в диапазоне ± 6 дБ и уровня чёрного в диапазоне $\pm 0.3V$; дискретность регулировок – 256 градаций; линейность регулировок – $\pm 5\%$.
- Автоматическая настройка усиления и уровня черного (полное использование динамического диапазона АЦП в автоматическом режиме).
- Программируемая разрядность АЦП: 12 бит / 8 бит.
- Частота дискретизации входного сигнала (пиксельная частота): 4 – 64 МГц.
- Частота строк входного сигнала: 12 – 100 КГц.
- Программируемый формат оцифровки кадра: до **2048 * 2048 * 12** – 2048 строк, 2048 пикселей в строке, 4096 градаций серого.
- Оцифровка и ввод ТВ сигнала одновременно в двух форматах.
- Аппаратное вычисление гистограммы распределения яркости вводимого изображения
- Дрожание пикселя (*jitter*): не более ± 2 нсек.

Видеовыход

- Уровень выходного сигнала: 1.0V pp на нагрузке 75 Ом.
- Синхросигнал: формируется программно под любой телевизионный стандарт.
- Уровень и полярность синхроимпульсов: 0.35V, отрицательная.
- Программируемая разрядность ЦАП: 10 бит / 8 бит.
- Частота дискретизации выходного сигнала (пиксельная частота): 12 – 65 МГц.
- Программируемый формат вывода кадра: до **2048 * 2048 * 10** – 2048 строк, 2048 пикселей в строке, 1024 градаций серого.

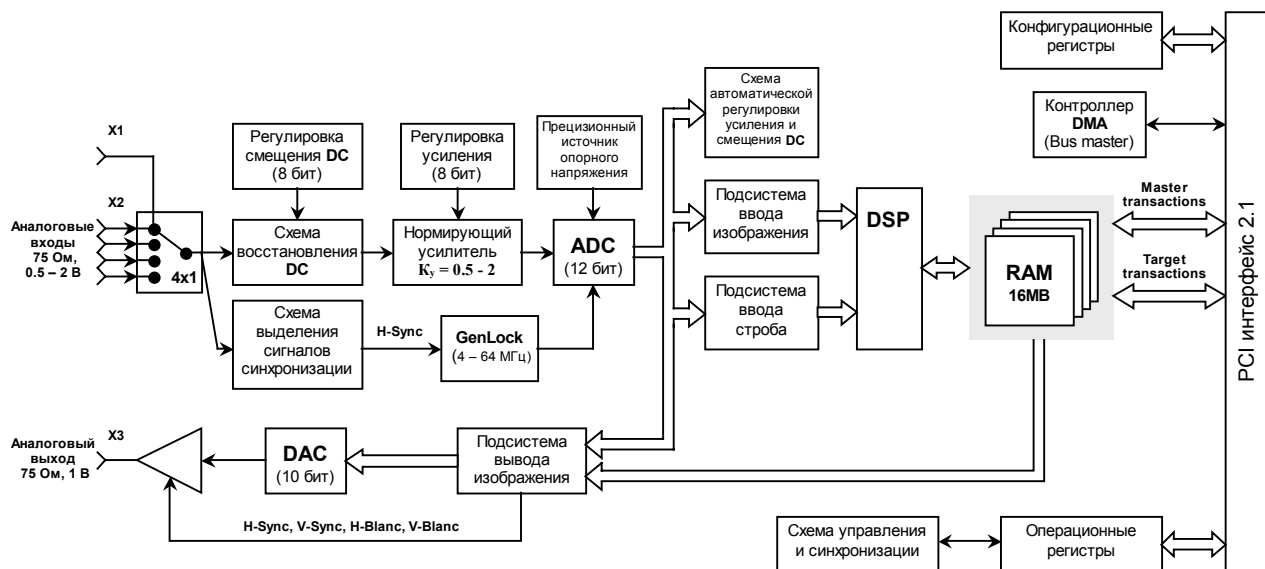
Интерфейс и внутренняя память

- Внутренний буфер памяти: 16 Мбайт (8 телевизионных кадров формата 1024x1024x12).
- Интерфейс: 32 битная шина PCI MASTER.
- Подключение в стандарте Plug & Play.
- Скорость передачи данных: средняя – 60 Мбайт/сек, пиковая – 132 Мбайт/сек.
- 4 программируемых цифровых входа/выхода.

Конструкция и размеры

- Платы изготовлены на базе ПЛИМ фирмы **ALTERA** по технологии **SMD**.
- Габаритные размеры мм - 120 * 105 * 20.

3. Функциональная схема устройства.



Устройство **RT-851** состоит из следующих функциональных узлов:

- **4-х канальный видеокмутатор** – осуществляет коммутацию аналоговых входов (время переключения - 8 нс);
- **схема восстановления постоянной составляющей (DC)** – осуществляет привязку телевизионного сигнала к уровню чёрного;
- **нормирующий усилитель** – обеспечивает согласование уровня входного сигнала с динамическим диапазоном АЦП;
- **схема регулировки смещения постоянной составляющей (DC) и усиления** – позволяет программно автоматически или вручную настраивать яркость и контрастность входного телевизионного изображения (256 градаций);
- **схема выделения сигналов синхронизации** – выделяет из входного сигнала строчные и кадровые синхроимпульсы;
- **ADC** – 12-ти разрядный аналого-цифровой преобразователь (АЦП). Для повышения стабильности и точности преобразования используется **прецизионный источник опорного напряжения**;
- **GenLock** – широкодиапазонный генератор частоты квантования входного сигнала (пиксельной частоты). Имеет систему фазовой автоподстройки частоты (ФАПЧ) и обеспечивает дрожание пикселя (jitter) не более ± 2 нс;
- **DAC** – 10 разрядный цифро-аналоговый преобразователь (ЦАП). Использует старшие 10 бит 12-ти разрядных данных;
- **подсистема ввода изображения** – основной канал ввода. Формирует окно ввода кадров ТВ изображения, осуществляет управление фиксацией изображения во внутреннем буфере памяти;

- **подсистема ввода строба** – дополнительный канал ввода, работающий параллельно с основным. Позволяет вводить изображение с другим форматом окна и другими функциями цифровой обработки. Используется также как вспомогательный канал для DSP обработки данных основного канала ввода;
- **подсистема вывода изображения** – формирует окно вывода выходного телевизионного изображения, вырабатывает сигналы синхронизации, осуществляет переключение потоков данных (сквозной канал АЦП-ЦАП / вывод из внутреннего буфера памяти);
- **выходной усилитель** – формирует выходной телевизионный сигнал и обеспечивает согласование с 75-омной нагрузкой;
- **схема управления и синхронизации** – осуществляет общее управление всеми процессами в устройстве;
- **RAM** – 32-х разрядный внутренний буфер памяти (SDRAM, 16 МБ). Функционально разделен на 8 банков по 2 МБ;
- **DSP** – блок цифровой обработки сигналов реального времени. Выполняет целочисленные операции сложения, вычитания, умножения и деления элементов одного или нескольких изображений, позволяет реализовать различные виды накопления. Является динамически загружаемым в процессе работы устройства модулем (программа загружается из файла), время обновления функции – не более 10 мс.
- **PCI Interface 2.1, контроллер DMA, конфигурационные и операционные регистры** – обеспечивают связь **RT-851** с оперативной памятью компьютера через шину PCI в режимах MASTER и TARGET.

4. Режимы работы изделия.

Устройство RT851 имеет следующие основные режимы работы:

- **фиксация** телевизионного **кадра** во внутреннем буфере памяти;
- **передача данных** через интерфейс PCI;
- **мониторирование** (просмотр) входного телевизионного сигнала на внешнем мониторе (или ВКУ – видеоконтрольном устройстве).
- **визуализация** (просмотр) на внешнем мониторе (ВКУ) телевизионных кадров, записанных во внутреннем буфере памяти.

Различные сочетания перечисленных режимов работы устройства предполагают ее использование в следующих вариантах:

- непрерывный или одиночный ввод телевизионных кадров (с обработкой или без таковой) в компьютер с одновременным контролем вводимого исходного или обработанного изображения на внешнем мониторе (ВКУ);
- непрерывный или одиночный ввод телевизионных кадров (с обработкой или без таковой) в компьютер с одновременным просмотром любого ранее введенного телевизионного кадра на внешнем мониторе (ВКУ). При этом формат вводимого и выводимого телевизионного изображения может быть различным;
- вывод серии ранее введенных кадров или полукадров на внешний монитор (ВКУ) в реальном времени или с замедлением (без ввода изображения в компьютер).

Использование входного коммутатора на 4 аналоговых входа и четырех программируемых цифровых входов/выходов позволяет реализовать дополнительные функциональные возможности: подключение до 4 источников ТВ сигнала, использование внешних команд управления, подключение исполнительных устройств и т.д.

5. Потребляемые ресурсы.

Устройство RT-851 является Plug & Play устройством, которое подключается к компьютеру через интерфейс шины PCI и использует 32 Кбайт оперативной памяти. Месторасположение занимаемого адресного пространства памяти может быть произвольным и определяется на этапе начальной инициализации устройства. Результаты процесса инициализации (в том числе и задействованные физические адреса) фиксируются в конфигурационном заголовке платы (регистрах конфигурации).

5.1. Регистры конфигурации шины PCI.

В соответствии со стандартом шины PCI, каждое устройство, подключенное к шине, должно иметь конфигурационный заголовок, определяющий порядок взаимодействия устройства с арбитром шины. Конфигурационный заголовок состоит из регистров конфигурации (8-, 16- и 32-разрядных), которые занимают в общей сложности 256 байт. В таблице 1 приведен полный перечень и порядок расположения регистров в конфигурационном заголовке. В таблице 2 дано краткое описание регистров конфигурации, которые поддерживаются платой RT-851 (выделены серым цветом в табл. 1).

Таблица 1

Address	Byte			
	3	2	1	0
00H	Device ID		Vendor ID	
04H	Status Register		Command Register	
08H	Class Code			Revision ID
0CH	BIST	Header Type	Latency Timer	Cache Line Size
10H	Base Address Register 0			
14H	Base Address Register 1			
18H	Base Address Register 2			
1CH	Base Address Register 3			
20H	Base Address Register 4			
24H	Base Address Register 5			
28H	Card Bus CIS Pointer			
2CH	Subsystem ID		Subsystem Vendor ID	
30H	Expansion ROM Base Address Register			
34H	Reserved			
38H	Reserved			
3CH	Maximum Latency	Minimum Grant	Interrupt Pin	Interrupt Line
40H..FFH	Reserved			

Таблица 2

Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
00h	00h-01h	Чтение	5254h	Vendor ID	Идентификатор производителя устройства – фирма РАСТР ТЕХНОЛОДЖИ.
02h	02h-03h	Чтение	0851h	Device ID	Идентификатор типа устройства – плата RT-851
04h	04h-05h	Чтение/запись	0000h	Command	Обеспечивает подключение устройства к шине PCI: бит 0 – не используется; бит 1 – разрешает доступ к памяти; бит 2 – разрешает режим MASTER; биты 5..3 – не используются; бит 6 – разрешает выдачу сигнала PERR на

Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
					шине PCI при обнаружении ошибки четности данных; бит 7 – не используется; бит 8 – разрешает выдачу сигнала SERR на шине PCI при обнаружении ошибки четности адреса (должен быть установлен бит 6); биты 15..9 – не используются.
06h	06h-07h	Чтение/ запись	0400h	Status	Содержит информацию о некоторых режимах и результатах работы устройства на шине PCI (для процесса начальной инициализации устройства этот регистр не используется).
08h	08h-08h	Чтение	01h	Revision ID	Идентификатор номера версии исполнения устройства
09h	09h-0Bh	Чтение	040000h	Class Code	Содержит информацию о принадлежности данного устройства к определенному классу устройств (плата RT851 принадлежит к классу устройств Multimedia).
0Dh	0Dh-0Dh	Чтение/ запись	00h	Latency Timer	Используется в режиме MASTER для определения длительности непрерывной передачи одной порции данных на шине PCI. Биты 2..0 – не используются и равны 0; Биты 7..3 – определяют длительность непрерывной порции данных в тактах шины PCI, умноженных на 8 (максимальное число – 0, что соответствует 256-ти тактам).
0Eh	0Eh-0Eh	Чтение	00h	Header Type	Указывает на то, что RT-851 не является многофункциональным PCI устройством (см. спецификацию шины).
10h	10h-13h	Чтение/ запись	00000000h	Base Address Register 0	Первый базовый адресный регистр. Он определяет диапазон адресов памяти, занимаемых устройством, и место его расположения в общем пространстве адресов памяти. Биты 14..0 используются только для чтения, а биты 31..15 – для чтения и записи. Бит 0 – равен 0 и указывает на принадлежность базового адреса к пространству адресов памяти; Биты 2..1 – равны 0, что определяет возможность расположения занимаемого устройством диапазона адресов памяти в любом месте 32-х разрядного адресного пространства; Бит 3 – равен 0 и указывает на то, что режим "Prefetchable" устройством не поддерживается (см. спецификацию шины PCI); Биты 14..4 – равны 0 и указывают на то, что диапазон адресов памяти, занимаемого устройством, составляет 32 Кбайт; Биты 31..15 – определяют базовый адрес в 32-х разрядном адресном пространстве памяти.
3Ch	3Ch-3Ch	Чтение/ запись	FFh	Interrupt Line	Определяет номер прерывания (от 0 до 15), используемого устройством. Значение FFh говорит о том, что прерывание по умолчанию не используется.
3Dh	3Dh-3Dh	Чтение	01h	Interrupt Pin	Информирует о том, какая аппаратная линия на шине PCI задействована под прерывание. Значение 01h говорит о том, что под прерывание задействована линия INTA#.
3Eh	3Eh-3Eh	Чтение	10h	Minimum Grant	Используется только как информационный. Сообщает арбитру шины о предполагаемой длительности непрерывной порции данных, передаваемых через шину. Значение длительности выражено в 250-ти наносекундных отрезках (10h x 250нс = 4 мкс).
3Fh	3Fh-3Fh	Чтение	00h	Maximum	Используется как информационный. Сообщает

Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
				Latency	арбитражу шины о том, как часто устройство предполагает задействовать шину для передачи данных. Значение 00h говорит о том, что требования к этому параметру не определены.

5.2. Операционные регистры.

После проведения процесса инициализации устройство RT-851 займет в адресном пространстве компьютера 32 Кбайт памяти. Функционально эта память разбита на две части: нижние 16 Кбайт занимают управляющие *операционные регистры*, а верхние 16 Кбайт являются окном в адресном пространстве, через которое происходит обмен данными между внутренним буфером памяти RT-851 и оперативной памятью компьютера. Следует отметить, что это окно используется только в режиме TARGET (в режиме MASTER данное окно не используется).

Физический адрес первого операционного регистра определяется значением, указанным в первом базовом адресном регистре конфигурационного заголовка. Например, если базовый адрес равен 000D0000h, то операционные регистры займут область памяти 000D0000 – 000D3FFF, а окно обмена данными – область 000D4000h – 000D7FFFh.

Операционные регистры, имеющие разрядность более 16 бит, программируются только с помощью 32-х разрядных операций чтения/записи (не допускается запись, например, сначала младших, а затем старших 16 бит).

В таблице 3 приведен перечень всех операционных регистров устройства.

Таблица 3

Смещение адреса регистра	Направление операции (чтение/запись)	Аббревиатура регистра	Описание регистра
00H	запись	Syst_Ctrl	Системный регистр управления
04H	запись	DMA_Ctrl	Регистр управления режимом DMA
08H	запись	DMA_Addr	Регистр адреса DMA
0CH	запись	DMA_Byte	Регистр счетчика данных DMA
10H	чтение	Reg_Events	Регистр событий
14H	чтение	Reg_Stat	Регистр статуса
18H	запись/чтение	Reg_DIO	Регистр цифрового ввода-вывода
20H	запись	DMA_Line	Регистр длины строки DMA
24H	запись	Mem_Addr	Регистр адреса первого поля кадра
28H	запись	Mem_Addr1	Регистр адреса второго поля кадра
2CH	запись	Start_Config	Регистр запуска конфигурирования ПЛИС APEX20K
30H	запись	Data_Config	Регистр данных конфигурирования ПЛИС APEX20K
34H	запись	Mem_Init	Регистр инициализации динамической памяти
38H	запись	PCI_Ctrl	Регистр управления внутренним буфером памяти
3CH	запись	ADC_Ctrl	Регистр управления подсистемой ввода изображения
A8H	запись	STB_Ctrl	Регистр управления подсистемой ввода строка
40H	запись	DAC_Ctrl	Регистр управления подсистемой вывода изображения
44H	запись	MUX_A	Регистр коммутации аналоговых входов
48H	запись	Reg_Level	Регистр смещения уровня черного входного сигнала
4CH	запись	Reg_Gain	Регистр усиления входного сигнала
50H	запись/чтение	ADC_MinMax	Регистр определения амплитуды входного сигнала

Смещение адреса регистра	Направление операции (чтение/запись)	Аббревиатура регистра	Описание регистра
Регистры настройки входного формата кадра			
54H	запись	PLL_Ctrl	Регистр настройки входной частоты оцифровки
58H	запись	Len_Line_All	Полная длина строки (количество пикселей)
5CH	запись	Beg_Line_Act	Начало активной части строки (номер пикселя)
60H	запись	Len_Line_Act	Длина активной части строки (количество пикселей)
64H	запись	Beg_Field1_Act	Начало активной части первого поля кадра (номер строки)
68H	запись	Beg_Field2_Act	Начало активной части второго поля кадра (номер строки)
6CH	запись	Numb_Line_Act	Число активных строк кадра
70H	запись	Numb_Line_All	Число всех строк кадра
Регистры настройки формата строба			
ACH	запись	Strob_L	Отступ слева по горизонтали
B0H	запись	Strob_H	Размер по горизонтали
B4H	запись	Strob_U1	Отступ сверху в первом поле
B8H	запись	Strob_U2	Отступ сверху во втором поле
BCH	запись	Strob_V	Размер по вертикали
Регистры настройки выходного формата кадра			
74H	запись	Len_Line_All_Out	Полная длина строки (количество пикселей)
78H	запись	Beg_Line_Act_Out	Начало активной части строки (номер пикселя)
7CH	запись	Len_Line_Act_Out	Длина активной части строки (количество пикселей)
80H	запись	Beg_Field1_Act_Out	Начало активной части первого поля кадра (номер строки)
84H	запись	Beg_Field2_Act_Out	Начало активной части второго поля кадра (номер строки)
88H	запись	Numb_Line_Act_Out	Число активных строк кадра
8CH	запись	Numb_Line_All_Out	Число всех строк кадра
90H	запись	T_Line_Out	Период строчной частоты (в микросекундах)
94H	запись	PLL_Ctrl_Out	Регистр настройки входной частоты оцифровки
Регистры цифровой обработки сигнала в области кадра			
98H	запись	ADC_Offset	Регистр цифрового смещения уровня входного сигнала
9CH	запись	ADC_Contrast	Регистр цифрового контрастирования входного сигнала
A0H	запись	ADC_DSP	Регистр функций DSP обработки
A4H	запись/чтение	ADC_Accum	Регистр управления накоплением
D4H	запись	DSP_Level	Регистр порога
D8H	запись	Reg_RC	Регистр управления рекурсивным фильтром
Регистры цифровой обработки сигнала в области строба			
C0H	запись	STB_Offset	Регистр цифрового смещения уровня входного сигнала
C4H	запись	STB_Contrast	Регистр цифрового контрастирования входного сигнала
C8H	запись	STB_DSP	Регистр функций DSP обработки
CCH	запись/чтение	STB_Accum	Регистр управления накоплением
Регистры цифровой обработки сигнала в области кадра			
D0H	запись/чтение	Reg_Hist	Регистр гистограммы яркости входного сигнала
FCH	чтение	Reg_Info	Регистр набора доступных функций DSP обработки

5.2.1. Системный регистр управления.

С помощью регистра **Syst_Ctrl** задается маска прерываний по различным событиям и осуществляется настройка цифровых линий ввода-вывода.

Установкой в 1 битов D8..D1 регистра **Syst_Ctrl** разрешается фиксация соответствующих событий в регистре **Reg_Events**. Бит D0 разрешает генерацию прерываний от устройства при наступлении этих событий.

Биты	Описание
0	Общее разрешение прерываний
1	Разрешение прерывания при завершении DMA
2	Разрешение прерывания от входных кадровых синхроимпульсов
3	Разрешение прерывания от выходных кадровых синхроимпульсов
4	Разрешение прерывания при пропадании входного сигнала
5	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-1
6	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-2
7	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-3
8	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-4
12..9	Выбор направления цифровых линий I/O-4 .. I/O-1 0 - ввод с внешнего разъема 1 - вывод логических ТТЛ уровней на внешний разъем через биты D3..D0 регистра Reg_DIO
31..13	Не используются

5.2.2. Регистр управления режимом DMA.

Регистр **DMA_Ctrl** организует порядок обмена данными через интерфейс PCI в режиме MASTER.

Биты	Описание
0	Не используется
1	Принудительный останов режима DMA 0 - DMA проходит в обычном режиме 1 - режим DMA остановлен
2	Разрядность передаваемых данных 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (12 бит)
3	Направление передачи данных через интерфейс PCI: 0 - данные записываются во внутренний буфер видеопроцессора 1 - данные читаются из внутреннего буфера видеопроцессора
4	Чтение/запись чересстрочного изображения 0 - последовательное (прогрессивное) чтение/запись данных 1 - чтение/запись данных через строку (длина строки в пикселях указывается в регистре DMA_Line)
5	Чтение/запись данных с вертикальным отражением 0 - чтение/запись данных от верхней строки к нижней 1 - чтение/запись данных от нижней строки к верхней (Vertical Flip)
31..6	Не используются

5.2.3. Регистр адреса DMA.

В регистр **DMA_Addr** записывается 32-х разрядный адрес, указывающий на начало области оперативной памяти компьютера, с которой будет организован обмен данными при выполнении DMA. Операция записи в регистр **DMA_Addr** дает также старт процессу DMA.

5.2.4. Регистр счетчика данных DMA.

Регистр **DMA_Byte** является 21- разрядным счетчиком количества переданных байт в ходе выполнения DMA. За один цикл DMA можно передать до 2048 Кбайт данных. Значение количества байт, записываемое в регистр, должно быть кратно 16.

5.2.5. Регистр событий.

В регистре **Reg_Events** фиксируется информация о событиях, вызывающих прерывания. В момент наступления одного из разрешенных событий устанавливается в 1 соответствующий бит регистра **Reg_Events** и выдается прерывание. При чтении регистра все установленные в 1 биты сбрасываются в 0, а прерывание снимается.

Важно! При обработке прерываний чтение регистра **Reg_Events** является обязательным условием.

Биты	Описание
0	Завершение процесса DMA. Бит устанавливается в "1", когда счетчик количества переданных байт достигнет нуля, что свидетельствует об успешном завершении процесса DMA.
1	Ошибка во время выполнения DMA
2	Появление кадрового синхроимпульса во входном сигнале
3	Появление кадрового синхроимпульса в выходном сигнале
4	Пропадание входного сигнала
5	Изменение логического состояния одного либо нескольких цифровых входов
31..6	Не используются

5.2.6. Регистр статуса.

В регистре статуса **Reg_Stat** отражается информация о состоянии устройства и происходящих в нем процессах.

Биты	Описание
0	Окончание фиксации кадра во внутреннем буфере памяти. Бит сбрасывается в "0" при программировании режима фиксации кадра и устанавливается в "1" в конце ввода одного кадра в режиме без накопления или последнего введенного кадра в режиме с накоплением 0 – процесс фиксации кадра не закончен 1 – процесс фиксации кадра закончен
1	Окончание фиксации строка. Бит сбрасывается в "0" при программировании режима фиксации строка и устанавливается в "1" в конце ввода (с учетом режима накопления) 0 – процесс фиксации строка не закончен 1 – процесс фиксации строка закончен
2	Кадровый синхроимпульс во входном сигнале. Бит устанавливается в "1", когда во входном сигнале присутствуют кадровые синхроимпульсы полей кадра.
3	Номер (или четность) поля текущего кадра входного телевизионного сигнала 0 – первое поле кадра 1 – второе поле кадра
4	Отсутствие входного телевизионного сигнала 0 – сигнал на входе присутствует 1 – сигнала на входе нет

Биты	Описание
5	Вывод очередного кадра изображения. Бит устанавливается в "1" в начале и сбрасывается в "0" в конце вывода полного кадра. Он может использоваться для синхронизации смены банков памяти с записанными в них телевизионными кадрами при выводе изображения на внешний монитор.
6	Процесс DMA активен. Бит устанавливается в "1" при записи адреса в регистр DMA_Addr и сбрасывается в "0" при завершении либо остановке процесса DMA.
7	Готовность ПЛИС АРЕХ20К к началу программирования. Бит сбрасывается в "0" при записи в регистр Start_Config , и устанавливается в "1" в момент готовности ПЛИС к загрузке программы. 0 – идет процесс подготовки к загрузке программы в АРЕХ20К 1 – процесс подготовки завершен
8	Окончание программирования ПЛИС АРЕХ20К. Бит сбрасывается в "0" при записи в регистр Start_Config , и устанавливается в "1" в момент успешного завершения загрузки программы в ПЛИС. Если в процессе загрузки произошла ошибка, то этот бит остается в состоянии "0". 0 – идет процесс загрузки программы в АРЕХ20К 1 – процесс программирования успешно завершен
10..9	Внутренняя ошибка. Установка любого из этих бит в "1" свидетельствует о появлении ошибки при обращении к внутреннему буферу памяти. Она может возникать в следующих случаях: - не загружена программа в ПЛИС АРЕХ20К из файла или не проведена инициализация динамической памяти; - сбой в работе устройства (например, сбой по питанию); - неисправность устройства.
31..11	Не используются

5.2.7. Регистр цифрового ввода-вывода.

Регистр **Reg_DIO** осуществляет связь видеопроцессора с внешним устройством посредством сигналов в уровнях ТТЛ логики через соответствующие цифровые линии. Направление передачи сигналов для каждого цифрового входа-выхода программируется через регистр **Syst_Ctrl**.

Линия **I/O-2** через резистор 1 кОм подключена к +5В и может использоваться для подачи команды внешнего запуска с помощью кнопки (замыканием на корпус).

Биты	Описание
3..0	Входные/выходные цифровые линии I/O-4 .. I/O-1 (см. Таблица 3)
31..4	Не используются

5.2.8. Регистры адреса первого и второго полей кадра, регистр длины строки DMA.

Регистры **Mem_Addr** и **Mem_Addr1** (21 бит) являются указателями на текущий адрес памяти активного банка во внутреннем буфере видеопроцессора для первого и второго полей кадра (номер активного банка определяются битами D1..D0 регистра **PCI_Ctrl**). При выполнении DMA эти указатели смещаются в соответствии с количеством переданных байт в каждом поле.

При прогрессивном способе обмена данными в регистры **Mem_Addr** и **Mem_Addr1** записывается адрес первой (при чтении/записи строк сверху вниз) или последней (при чтении/записи строк снизу вверх) строки активной части кадра. Активная часть кадра определяется регистрами входного/выходного формата кадра.

При чересстрочном способе обмена данными и чтении/записи строк сверху вниз в регистр **Mem_Addr** записывается адрес первой строки первого поля активной части кадра, а в регистр **Mem_Addr1** – адрес первой строки второго поля активной части кадра.

При чересстрочном способе обмена данными и чтении/записи строк снизу вверх (Vertical Flip) в регистр **Mem_Addr** записывается адрес последней строки второго поля активной

части кадра, а в регистр **Mem_Addr1** – адрес последней строки первого поля активной части кадра.

Если передается не вся активная часть кадра, то в регистры **Mem_Addr** и **Mem_Addr1** записываются необходимые смещения от начала (или конца) полей кадра. В этом случае значение регистра **Mem_Addr1** можно вычислить по формуле:

$[Mem_Addr] + [DMA_Line] * [Numb_Line_Act + 1] / 2$ – для 8-разрядных данных;

$[Mem_Addr] + [DMA_Line] * [Numb_Line_Act + 1]$ – для 16-разрядных данных.

Регистр **DMA_Line** (11 бит) определяет длину строки передаваемого через шину PCI кадра в пикселях (разрядность пикселя необходимо указывать в регистре **DMA_Ctrl**).

Значения, записываемые в регистры **Mem_Addr**, **Mem_Addr1** и **DMA_Line**, должны быть кратны 16.

5.2.9. Регистры конфигурирования ПЛИС APEX20K.

Регистры **Start_Config**, **Data_Config** и **Mem_Init** используются для загрузки программы в ПЛИС APEX20K и инициализации динамической памяти видеопроцессора.

Программирование начинается с операции записи в регистр **Start_Config** значения 0. Проверкой установки в 1 бита D7 регистра **Reg_Stat** определяется готовность ПЛИС к дальнейшей загрузке. После этого в регистр **Data_Config** последовательно 124170 раз записываются 8-разрядные данные из загружаемого файла (например, “VP.RBF”). По окончании процесса загрузки в этот же регистр еще 5 раз записывается значение 0 (тоже 8-ми разрядное). На этом программирование ПЛИС заканчивается. Чтением бита D8 регистра **Reg_Stat** проверяется результат загрузки. Состояние “1” указывает на то, что ПЛИС запрограммирована правильно; состояние “0” свидетельствует об ошибке – в этом случае весь процесс повторяется сначала.

На последнем этапе выполняется инициализация динамической памяти видеопроцессора с помощью 8-разрядной операции записи значения 0 в регистр **Mem_Init**.

5.2.10. Регистр управления внутренним буфером памяти.

Регистр **PCI_Ctrl** осуществляет выбор активного PCI банка, а также организует порядок обмена данными с внутренним буфером памяти в режиме TARGET (см. раздел ‘Организация внутреннего буфера памяти’).

Биты	Описание																																																
2..0	Выбор номера банка для обмена данными через PCI (выбор активного PCI банка)																																																
9..3	Номер окна в активном PCI банке (только для режима TARGET) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>D9</th> <th>D8</th> <th>D7</th> <th>D6</th> <th>D5</th> <th>D4</th> <th>D3</th> <th>Номер окна</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>127</td> </tr> </tbody> </table>	D9	D8	D7	D6	D5	D4	D3	Номер окна	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	2									1	1	1	1	1	1	1	127
D9	D8	D7	D6	D5	D4	D3	Номер окна																																										
0	0	0	0	0	0	0	0																																										
0	0	0	0	0	0	1	1																																										
0	0	0	0	0	1	0	2																																										
1	1	1	1	1	1	1	127																																										
31..10	Не используются																																																

5.2.11. Регистр управления подсистемой ввода изображения.

Регистр **ADC_Ctrl** осуществляет управление фиксацией входного ТВ изображения во внутреннем буфере памяти видеопроцессора.

Биты	Описание
2..0	Выбор номера банка для ввода ТВ сигнала (выбор активного ADC банка)
4..3	Не используются
5	Включение прорисовки границ строба в вводимом изображении
6	Обнуление входного сигнала
7	Переключение разрядности входных данных: 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (12 бит)
8	Включение режима фиксации кадра. Бит автоматически сбрасывается по окончании фиксации кадра.
31..9	Не используются

5.2.12. Регистр управления подсистемой ввода строба.

Регистр **STB_Ctrl** осуществляет управление фиксацией некоторой прямоугольной области ТВ изображения (строба) во внутреннем буфере памяти видеопроцессора. Размер строба и его положение в кадре определяется регистрами формата строба (см. п. 5.2.17). Подсистема ввода строба работает независимо от подсистемы ввода изображения и может использоваться как для вычисления статистических характеристик, так и для ввода области изображения внутри строба.

Биты	Описание
2..0	Выбор номера банка для ввода ТВ сигнала внутри строба (выбор активного STB банка)
4	Отключение подсистемы ввода строба: 0 - границы строба определяют формат ввода, данные внутри строба фиксируются в активном STB банке 1 - границы строба определяют лишь зону вычисления статистических характеристик внутри строба
5..3	Не используются
7	Переключение разрядности входных данных: 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (12 бит)
8	Включение режима фиксации строба / вычисления статистики. Бит автоматически сбрасывается по окончании фиксации / вычисления.
31..9	Не используются

5.2.13. Регистр управления подсистемой вывода изображения.

Регистр **DAC_Ctrl** управляет выводом ТВ изображения из внутреннего буфера памяти видеопроцессора на внешний монитор.

Биты	Описание
2..0	Выбор номера банка для вывода ТВ сигнала (выбор активного DAC банка)
3	Не используется
4	Включение режима вывода одного полукадра. В этом режиме при выводе на экран монитора второе поле кадра замещается первым (полезно при просмотре динамических изображений)
5	Включение режима мониторинга (сквозного канала АЦП – ЦАП).
6	Включение гашения выходного сигнала (без обнуления данных во внутреннем буфере)
7	Переключение разрядности данных при выводе на внешний монитор: 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (10 бит)
8	Синхронизация работы подсистемы вывода с подсистемой ввода. При этом у обеих подсистем

Биты	Описание
	совпадают кадровый синхросигнал и частота дискретизации (полезно при выводе на ВКУ результатов DSP обработки в реальном времени).
31..9	Не используются

5.2.14. Регистр коммутации аналоговых входов.

Регистр **MUX_A** осуществляет подключение одного из четырех аналоговых входов.

Биты	Описание										
1..0	Выбор аналогового входа <table border="1"> <thead> <tr> <th>D1 D0</th> <th>Номер входа</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>0</td> </tr> <tr> <td>0 1</td> <td>1</td> </tr> <tr> <td>1 0</td> <td>2</td> </tr> <tr> <td>1 1</td> <td>3</td> </tr> </tbody> </table>	D1 D0	Номер входа	0 0	0	0 1	1	1 0	2	1 1	3
D1 D0	Номер входа										
0 0	0										
0 1	1										
1 0	2										
1 1	3										
31..2	Не используются										

5.2.15. Регистры усиления и смещения уровня черного входного сигнала, регистр определения амплитуды входного сигнала.

С помощью 8-разрядных регистров **Reg_Gain** и **Reg_Level** производится регулировка усиления и постоянной составляющей видеосигнала, что эквивалентно настройке контрастности и яркости вводимого изображения.

В регистре **ADC_MinMax** находятся минимальное и максимальное 8-битовые значения входного сигнала, вычисленные за время ввода кадра или строка. Область вычисления (кадр или строка) определяется битом D0 регистра при записи. Минимальное и максимальное значения в дальнейшем могут быть использованы для корректировки содержимого регистров **Reg_Gain** и **Reg_Level** с целью оптимальной настройки яркости и контрастности вводимого изображения.

Биты	Чтение/запись	Описание
0	запись	Переключение области вычислений между полным кадром и строком: 0 - вычисления проводятся внутри всего кадра 1 - вычисления проводятся внутри строка
7..0	чтение	Минимальное значение входного сигнала за время ввода последнего кадра.
15..8	чтение	Максимальное значение входного сигнала за время ввода последнего кадра.
31..16		Не используются

5.2.16. Регистры настройки входного формата кадра.

Аббревиатура регистра	Описание регистра	Значение для сигнала 1-го ТВ стандарта	Значение для сигнала 2-го ТВ стандарта
Len_Line_All	Общая длина строки (количество пикселей в строке)	943	1439
Beg_Line_Act	Количество пикселей от переднего фронта строчного синхроимпульса до начала активной части строки	159	319
Len_Line_Act	Длина активной части строки (в пикселях)	767	1023
Beg_Field1_Act	Номер строки, соответствующей началу активной части первого поля кадра	21	53
Beg_Field2_Act	Номер строки, соответствующей началу активной части второго поля кадра	*	*

Аббревиатура регистра	Описание регистра	Значение для сигнала 1-го ТВ стандарта	Значение для сигнала 2-го ТВ стандарта
Numb_Line_Act	Число активных строк кадра	575	1023
Numb_Line_All	Общее количество строк в кадре	624	1248
PLL_Ctrl	Настройка генератора частоты оцифровки входного сигнала	204H	15H

В регистры **Len_Line_All**, **Beg_Line_Act**, **Len_Line_Act**, **Beg_Field1_Act**, **Beg_Field2_Act**, **Numb_Line_Act**, **Numb_Line_All**, **T_Line** записываются значения на единицу меньше фактических.

Длина активной части строки [**Len_Line_Act**] должна быть кратна 16.

Значение регистра **Beg_Field2_Act** зависит от типа развертки входного сигнала и начала активной части первого поля кадра. Для сигнала с чересстрочной разверткой значение регистра **Beg_Field2_Act** вычисляется по формуле:

$$[\text{Beg_Field2_Act}] = [\text{Numb_Line_All}] / 2 + [\text{Beg_Field1_Act}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Beg_Field2_Act** записывается то же значение, что и в регистр **Beg_Field1_Act**.

Регистр **PLL_Ctrl** служит для настройки генератора частоты квантования в соответствии со стандартом входного ТВ сигнала. Значения битов регистра в зависимости от периода строчной частоты входного сигнала в микросекундах – T, общей длины строки в пикселях – L, и их отношения – L/T, указаны в таблице.

Биты	T	L / T	Значение	
7..0	48..84	–	04h	
	31..48	–	15h	
	24..31	–	25h	
	16..24	–	36h	
	12..16	–	46h	
	10..12	–	57h	
9..8	71..84	>44	0	
		22..44	1	
		11..22	2	
		< 11	3	
	58..71	>30	0	
		15..30	1	
		8..15	2	
		< 8	3	
	34..57	>25	0	
		13..25	1	
		7..13	2	
		< 7	3	
	29..34	>15	0	
		8..15	1	
		4..8	2	
		< 4	3	
	10..29	>10	0	
		5..10	1	
		3..5	2	
		< 3	3	
	31..10	–	–	Не используются

5.2.17. Регистры настройки формата строба.

Аббревиатура регистра	Описание регистра
-----------------------	-------------------

Аббревиатура регистра	Описание регистра
Strob_L	Отступ слева – количество пикселей от переднего фронта строчного синхроимпульса до начала строба по горизонтали
Strob_H	Размер строба по горизонтали (в пикселях)
Strob_U1	Отступ сверху в первом поле – номер строки, соответствующей началу строба в первом поле кадра
Strob_U2	Отступ сверху во втором поле – номер строки (от начала кадра), соответствующей началу строба во втором поле кадра
Strob_V	Размер строба по вертикали (в пикселях)

В регистры настройки формата строба записываются значения на единицу меньше фактических. При вводе строба в компьютер размер строба по горизонтали [**Strob_H**] должен быть кратен 16. Если строб используется только для статистических измерений (без ввода в компьютер), то размер по горизонтали может быть произвольным.

Значение регистра **Strob_U2** (по аналогии с **Beg_Field2_Act**) для сигнала с чересстрочной разверткой вычисляется по формуле:

$$[\mathbf{Strob_U2}] = [\mathbf{Numb_Line_All}] / 2 + [\mathbf{Strob_U1}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Strob_U2** записывается то же значение, что и в регистр **Strob_U1**.

При программировании регистров настройки строба следует придерживаться следующего правила: сумма значений отступа и размера строба по горизонтали не должна превышать длины строки в пикселях [**Len_Line_All**], а сумма значений отступа и размера строба по вертикали – общего количества строк кадра [**Numb_Line_All**].

5.2.18. Регистры настройки выходного формата кадра.

Аббревиатура регистра	Описание регистра	Значение для сигнала 1-го ТВ стандарта	Значение для сигнала 2-го ТВ стандарта
Len_Line_All_Out	Общая длина строки (в пикселях) при выводе	943	1439
Beg_Line_Act_Out	Количество пикселей от переднего фронта синхроимпульса до начала активной части строки при выводе	159	319
Len_Line_Act_Out	Длина активной части строки (в пикселях) при выводе	767	1023
Beg_Field1_Act_Out	Номер строки, соответствующей началу активной части первого поля кадра при выводе	21	53
Beg_Field2_Act_Out	Номер строки, соответствующей началу активной части второго поля кадра при выводе	*	*
Numb_Line_Act_Out	Число активных строк кадра при выводе	575	1023
Numb_Line_All_Out	Общее количество строк в кадре при выводе	624	1248
T_Line_Out	Период строчной частоты (в тактах опорной 59 МГц частоты)	3775	
PLL_Ctr_Out	Настройка генератора частоты оцифровки выходного сигнала	204Н	15Н

В регистры выходного формата кадра **Len_Line_All_Out**, **Beg_Line_Act_Out**, **Len_Line_Act_Out**, **Beg_Field1_Act_Out**, **Beg_Field2_Act_Out**, **Numb_Line_Act_Out**, **Numb_Line_All_Out** записываются значения на единицу меньше фактических.

Длина активной части строки [**Len_Line_Act_Out**] должна быть кратна 16.

Значение регистра **Beg_Field2_Act_Out** для сигнала с чересстрочной разверткой вычисляется по формуле:

$$[\mathbf{Beg_Field2_Act_Out}] = [\mathbf{Numb_Line_All_Out}] / 2 + [\mathbf{Beg_Field1_Act_Out}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Beg_Field2_Act_Out** записывается

то же значение, что и в регистр **Beg_Field1_Act_Out**.

В регистр **T_Line_Out** записывается значение периода строчной частоты сигнала в тактах опорной частоты 59 МГц:

$$[T_Line_Out] = T * 59, \text{ где } T - \text{период строчной частоты в микросекундах}$$

Регистр **PLL_Ctrl_Out** служит для настройки генератора частоты квантования в соответствии со стандартом выходного ТВ сигнала. Значения битов регистра в зависимости от периода строчной частоты входного сигнала в микросекундах – T, общей длины строки в пикселях – L, и их отношения – L/T, устанавливаются по аналогии с регистром **PLL_Ctrl**.

5.2.19. Регистры цифровой обработки входного сигнала.

Регистры **ADC_DSP** и **STB_DSP** осуществляет управление цифровой обработкой ТВ сигнала, поступающего от подсистем ввода изображения и строба.

Биты	Описание																																				
2..0	Выбор банка в качестве второго операнда для DSP обработки (выбор активных DSP и SDSP банков)																																				
3	Не используется																																				
6..4	Выбор функции DSP обработки: <table border="0"> <thead> <tr> <th>D2</th> <th>D1</th> <th>D0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>- ввод без цифровой обработки</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>- усреднение первого и второго полей кадра</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>- исключение фона, записанного в DSP банке</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>- вычитание DSP банка</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>- сложение с DSP банком</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>- операция AND с DSP банком</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>- операция OR с DSP банком</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>- операция XOR с DSP банком</td> </tr> </tbody> </table>	D2	D1	D0		0	0	0	- ввод без цифровой обработки	0	0	1	- усреднение первого и второго полей кадра	0	1	0	- исключение фона, записанного в DSP банке	0	1	1	- вычитание DSP банка	1	0	0	- сложение с DSP банком	1	0	1	- операция AND с DSP банком	1	1	0	- операция OR с DSP банком	1	1	1	- операция XOR с DSP банком
D2	D1	D0																																			
0	0	0	- ввод без цифровой обработки																																		
0	0	1	- усреднение первого и второго полей кадра																																		
0	1	0	- исключение фона, записанного в DSP банке																																		
0	1	1	- вычитание DSP банка																																		
1	0	0	- сложение с DSP банком																																		
1	0	1	- операция AND с DSP банком																																		
1	1	0	- операция OR с DSP банком																																		
1	1	1	- операция XOR с DSP банком																																		
31..7	Не используются																																				

Изображение, используемое в качестве второго операнда, должно быть записано в активный DSP банк в 12-ти разрядном виде.

В видеопроцессоре реализованы следующие функции цифровой обработки:

- *усреднение первого и второго полей кадра* (второго операнда не требуется);
- *исключение фона* из вводимого изображения. Функция работает по принципу сравнения значений одинаково расположенных пикселей в двух кадрах (оцифровываемым в данный момент и записанным в DSP банке) и заменой их на нулевое значение, если разность по модулю не превышает порога, заданного в регистре **DSP_Level** (12 бит);
- *вычитание двух кадров*. В качестве вычитаемого используется изображение из DSP банка;
- *сложение двух кадров*. Для исключения переполнения разрядной сетки операнды перед сложением делятся на 2;
- *наложение пространственной маски AND, OR, XOR*.

Набор функций может быть изменен или дополнен по согласованию с заказчиком. В типовой поставке часть функций в связи с нехваткой ресурсов в ПЛИС может быть отключена и перенесена в дополнительный файл загрузки.

Регистры **ADC_Accum** и **STB_Accum** осуществляет управление режимом накопления кадров входного ТВ сигнала, поступающего от подсистем ввода изображения и строба. Если задана какая-либо функция цифровой обработки, то она выполняется в конечной стадии режима накопления при вводе последнего кадра.

Биты	Чтение/Запись	Описание																																				
2..0	Запись	Выбор количества накапливаемых кадров: <table border="1"> <thead> <tr> <th>D2</th> <th>D1</th> <th>D0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>- нет накопления</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>- 2 кадра</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>- 4 кадра</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>- 8 кадров</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>- 16 кадров</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>- 32 кадра</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>- 64 кадра</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>- 128 кадров</td> </tr> </tbody> </table>	D2	D1	D0		0	0	0	- нет накопления	0	0	1	- 2 кадра	0	1	0	- 4 кадра	0	1	1	- 8 кадров	1	0	0	- 16 кадров	1	0	1	- 32 кадра	1	1	0	- 64 кадра	1	1	1	- 128 кадров
D2	D1	D0																																				
0	0	0	- нет накопления																																			
0	0	1	- 2 кадра																																			
0	1	0	- 4 кадра																																			
0	1	1	- 8 кадров																																			
1	0	0	- 16 кадров																																			
1	0	1	- 32 кадра																																			
1	1	0	- 64 кадра																																			
1	1	1	- 128 кадров																																			
7..0	Чтение	Количество накопленных на текущий момент кадров																																				
31..8	31..3	Не используются																																				

В режиме накопления кадров выдача прерываний от подсистемы ввода осуществляется по каждому введенному кадру, а бит готовности (бит D0 регистра **Reg_Stat**) будет установлен по окончании ввода последнего из серии накапливаемых кадров. Процесс накопления можно принудительно остановить, сбросив бит D8 регистра **ADC_Ctrl**.

В качестве альтернативы режиму накопления кадров в видеопроцессоре может использоваться рекурсивный фильтр, позволяющий осуществлять ввод кадров в реальном времени. В этом случае результирующее изображение в n-ом кадре вычисляется следующим образом:

$$Y_n = (1/k) * X_n + (1 - 1/k) * Y_{n-1}, \text{ где } Y_n \text{ – результирующее изображение в n-ом кадре;}$$

$$X_n \text{ – оцифрованное изображение в n-ом кадре;}$$

$$Y_{n-1} \text{ – результирующее изображение в n-1-ом кадре;}$$

$$k \text{ – коэффициент рекурсии } (2 \leq k \leq 128).$$

Коэффициент рекурсии определяет динамику обновления информации при вводе изображения: чем выше коэффициент рекурсии, тем медленнее меняется результирующее изображение и тем лучше происходит фильтрация некоррелированных шумов.

Управление режимом рекурсивной фильтрации осуществляется регистром **Reg_RC**. Для исключения погрешности определения результирующего изображения все промежуточные результаты вычислений при оцифровке нового кадра заносятся в специальный банк памяти видеопроцессора – RC банк (см. п. 5.3).

Биты	Описание																																				
2..0	Выбор номера банка для хранения промежуточных результатов рекурсии (выбор RC банка)																																				
3	Не используется																																				
6..4	Определение коэффициента рекурсии: <table border="1"> <thead> <tr> <th>D6</th> <th>D5</th> <th>D4</th> <th>Коэф. рекурсии</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>- 1 (нет рекурсии)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>- 2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>- 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>- 8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>- 16</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>- 32</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>- 64</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>- 128</td> </tr> </tbody> </table>	D6	D5	D4	Коэф. рекурсии	0	0	0	- 1 (нет рекурсии)	0	0	1	- 2	0	1	0	- 4	0	1	1	- 8	1	0	0	- 16	1	0	1	- 32	1	1	0	- 64	1	1	1	- 128
D6	D5	D4	Коэф. рекурсии																																		
0	0	0	- 1 (нет рекурсии)																																		
0	0	1	- 2																																		
0	1	0	- 4																																		
0	1	1	- 8																																		
1	0	0	- 16																																		
1	0	1	- 32																																		
1	1	0	- 64																																		
1	1	1	- 128																																		
31..7	Не используются																																				

Рекурсивный фильтр может использоваться либо в подсистеме ввода изображения, либо в подсистеме ввода строба (см. регистр **Reg_Info**).

Еще одним свойством видеопроцессора является возможность проводить с оцифрованным сигналом линейное преобразование по формуле:

$$y = a * (x - b),$$

где x – сигнал на входе преобразователя;
 y – сигнал на выходе преобразователя;
 a – константа повышения контрастности;
 b – константа смещения (12 бит).

Суть этого преобразования – повышение контрастности вводимого изображения. Необходимость контрастирования может возникнуть в случае слабого ТВ сигнала (если не хватает аналоговых регулировок) или сильно зашумленного сигнала (с применением накопления или рекурсивной фильтрации). Фактически знак умножения означает сдвиг старших значащих разрядов каждого пикселя влево, а знак вычитания – перемещения информационной части в область младших разрядов. Значение константы смещения (12 бит) определяется регистрами **ADC_Offset** для подсистемы ввода изображения и **STB_Offset** для подсистемы ввода строка. Значение константы повышения контрастности определяется регистрами **ADC_Contrast** и **STB_Contrast** соответственно.

Биты	Описание															
1..0	Значение константы повышения контрастности: <table border="1"> <thead> <tr> <th>D1</th> <th>D0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>- 1</td> </tr> <tr> <td>0</td> <td>1</td> <td>- 2</td> </tr> <tr> <td>1</td> <td>0</td> <td>- 4</td> </tr> <tr> <td>1</td> <td>1</td> <td>- 8</td> </tr> </tbody> </table>	D1	D0		0	0	- 1	0	1	- 2	1	0	- 4	1	1	- 8
D1	D0															
0	0	- 1														
0	1	- 2														
1	0	- 4														
1	1	- 8														
31..2	Не используются															

5.2.20. Регистр гистограммы яркости входного сигнала.

Гистограмма яркости входного сигнала вычисляется по 8-ми старшим битам каждого пикселя всякий раз при вводе кадров и представляет собой массив из 256 элементов, где каждый элемент – это количество пикселей с одним значением яркости. Область вычисления – весь кадр или строб, определяется регистром **ADC_MinMax**.

Для построения гистограммы элементы массива последовательно друг за другом считываются из регистра **Reg_Hist**. Перед началом считывания необходимо записать в регистр **Reg_Hist** любое произвольное значение, тем самым установив счетчик элементов массива в 0. Построение гистограммы проводится после окончания фиксации кадра или строка.

5.2.21. Регистр набора доступных функций DSP обработки.

Как отмечалось ранее, в связи с нехваткой ресурсов в ПЛИС APEX20K набор функций DSP обработки в одном файле загрузки может быть ограничен и часть функций перенесена в дополнительные файлы загрузки. В регистре **Reg_Info** содержится информация о доступных на текущий момент функциях DSP обработки сигнала. Биты регистра, установленные в 1 свидетельствует о наличии соответствующих функций, биты, сброшенные в 0 – об их отсутствии.

Биты	Описание															
	Определение доступности функций DSP обработки в подсистеме ввода изображения															
1..0	Режим накопления и максимальное количество накапливаемых кадров: <table border="1"> <thead> <tr> <th>D1</th> <th>D0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>- режим накопления отсутствует</td> </tr> <tr> <td>0</td> <td>1</td> <td>- 32 кадра</td> </tr> <tr> <td>1</td> <td>0</td> <td>- 64 кадра</td> </tr> <tr> <td>1</td> <td>1</td> <td>- 128 кадров</td> </tr> </tbody> </table>	D1	D0		0	0	- режим накопления отсутствует	0	1	- 32 кадра	1	0	- 64 кадра	1	1	- 128 кадров
D1	D0															
0	0	- режим накопления отсутствует														
0	1	- 32 кадра														
1	0	- 64 кадра														
1	1	- 128 кадров														

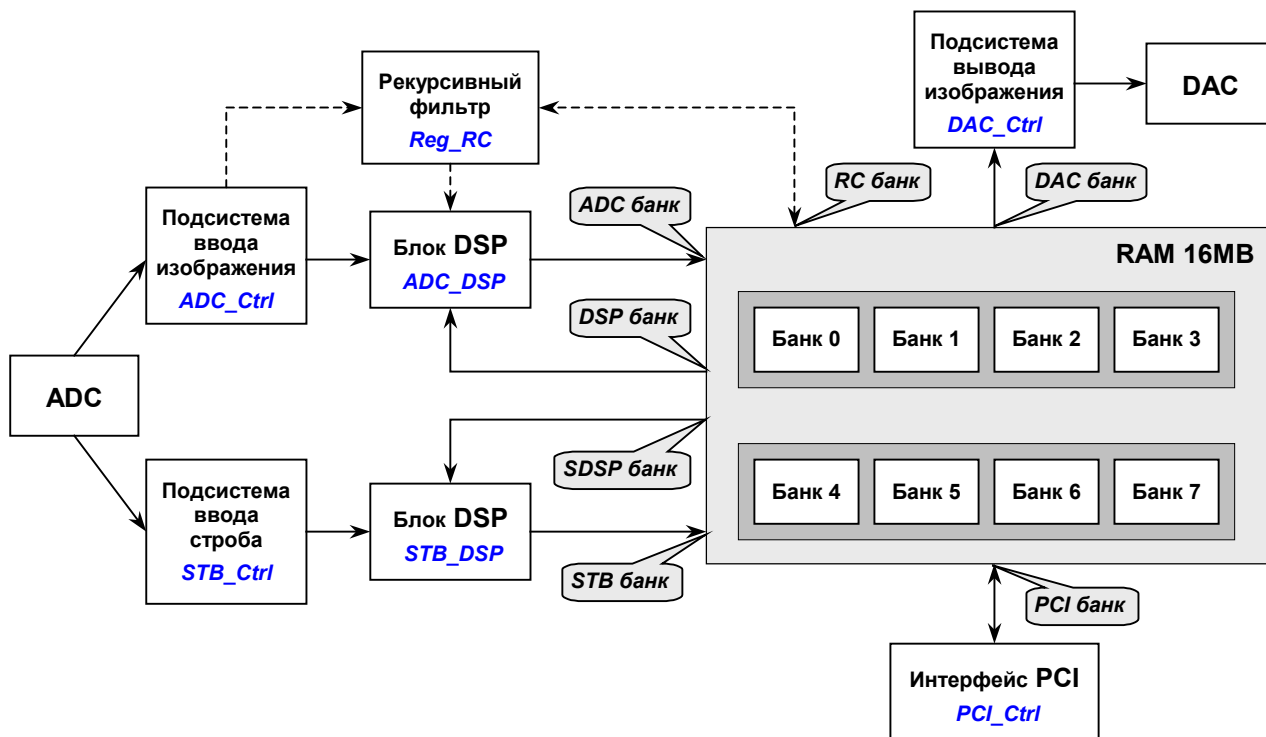
Биты	Описание																				
3..2	Рекурсивная фильтрация и максимальный коэффициент рекурсии: <table border="0"> <tr> <td>D3</td> <td>D2</td> <td>Коэф. рекурсии</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>-</td> <td>рекурсивный фильтр отсутствует</td> </tr> <tr> <td>0</td> <td>1</td> <td>-</td> <td>32</td> </tr> <tr> <td>1</td> <td>0</td> <td>-</td> <td>64</td> </tr> <tr> <td>1</td> <td>1</td> <td>-</td> <td>128</td> </tr> </table>	D3	D2	Коэф. рекурсии		0	0	-	рекурсивный фильтр отсутствует	0	1	-	32	1	0	-	64	1	1	-	128
D3	D2	Коэф. рекурсии																			
0	0	-	рекурсивный фильтр отсутствует																		
0	1	-	32																		
1	0	-	64																		
1	1	-	128																		
4	Цифровое контрастирование вводимого изображения																				
5	Расчет гистограммы яркости																				
8..6	Зарезервированы																				
9	Усреднение первого и второго полей кадра																				
10	Исключение фона, записанного в DSP банке																				
11	Вычитание DSP банка																				
12	Сложение с DSP банком																				
13	Операция AND с DSP банком																				
14	Операция OR с DSP банком																				
15	Операция XOR с DSP банком																				
	Определение доступности функций DSP обработки в подсистеме ввода строба																				
17..16	Режим накопления и максимальное количество накапливаемых кадров: <table border="0"> <tr> <td>D17</td> <td>D16</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>- режим накопления отсутствует</td> </tr> <tr> <td>0</td> <td>1</td> <td>- 32 кадра</td> </tr> <tr> <td>1</td> <td>0</td> <td>- 64 кадра</td> </tr> <tr> <td>1</td> <td>1</td> <td>- 128 кадров</td> </tr> </table>	D17	D16		0	0	- режим накопления отсутствует	0	1	- 32 кадра	1	0	- 64 кадра	1	1	- 128 кадров					
D17	D16																				
0	0	- режим накопления отсутствует																			
0	1	- 32 кадра																			
1	0	- 64 кадра																			
1	1	- 128 кадров																			
19..18	Рекурсивная фильтрация и максимальный коэффициент рекурсии: <table border="0"> <tr> <td>D19</td> <td>D18</td> <td>Коэф. рекурсии</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>-</td> <td>рекурсивный фильтр отсутствует</td> </tr> <tr> <td>0</td> <td>1</td> <td>-</td> <td>32</td> </tr> <tr> <td>1</td> <td>0</td> <td>-</td> <td>64</td> </tr> <tr> <td>1</td> <td>1</td> <td>-</td> <td>128</td> </tr> </table>	D19	D18	Коэф. рекурсии		0	0	-	рекурсивный фильтр отсутствует	0	1	-	32	1	0	-	64	1	1	-	128
D19	D18	Коэф. рекурсии																			
0	0	-	рекурсивный фильтр отсутствует																		
0	1	-	32																		
1	0	-	64																		
1	1	-	128																		
20	Цифровое контрастирование																				
21	Расчет гистограммы яркости																				
24..22	Зарезервированы																				
25	Усреднение первого и второго полей кадра																				
26	Исключение фона, записанного в DSP банке																				
27	Вычитание DSP банка																				
28	Сложение с DSP банком																				
29	Операция AND с DSP банком																				
30	Операция OR с DSP банком																				
31	Операция XOR с DSP банком																				

5.3. Организация внутреннего буфера памяти.

Внутренний буфер памяти RT-851 имеет объем 16 Мбайт и состоит из 8 банков по 2 Мбайт. Каждый банк используется для записи и хранения одного телевизионного кадра.

Логика работы видеопроцессора предполагает одновременное обращение к внутренней памяти со стороны нескольких подсистем устройства. При захвате видеосигнала данные от аналого-цифрового преобразователя (ADC) сначала через подсистемы ввода изображения и строба заносятся в банки памяти, определяемые регистрами **ADC_Ctrl** и **STB_Ctrl**. Если

при этом задействована какая-либо функция цифровой обработки, то в качестве второго операнда используются данные из банков, определяемых регистрами **ADC_DSP** и **STB_DSP** соответственно. После оцифровки всего кадра или строба данные могут передаваться через шину PCI в оперативную память компьютера или через подсистему вывода изображения на цифроаналоговый преобразователь (DAC) и далее на ВКУ.



Банк памяти, непосредственно участвующий в одном из перечисленных выше процессов, называется активным. Таким образом, в устройстве может быть несколько активных банков, которые условно назовем *PCI, ADC, DSP, STB, SDSP* и *DAC активными банками*. Номера активных банков определяются соответственно битами D2-D0 регистров **PCI_Ctrl**, **ADC_Ctrl**, **ADC_DSP**, **STB_Ctrl**, **STB_DSP** и **DAC_Ctrl**.

При использовании рекурсивной фильтрации в памяти видеопроцессора выделяется еще один банк, предназначенный для хранения промежуточных результатов рекурсии – *RC банк*. Его номер определяется битами D2-D0 регистра **Reg_RC**.

Назначение активных банков при вводе и выводе одиночных кадров может быть любым. Достаточно, например, использовать нулевой банк в качестве *активного ADC* банка для оцифровки кадра и в качестве *активного PCI* банка для последующей передачи его через шину PCI.

При вводе или выводе непрерывного потока кадров манипулирование активными банками памяти должно подчиняться определенному правилу: оцифровка или вывод телевизионного изображения осуществляются в банке отличном от банка, выбранного в данный момент для передачи данных по шине PCI. Это позволит избежать пропуска кадров при вводе и выводе изображения. Помимо этого следует учесть, что внутри буфера существует разделение банков памяти на две группы – это банки с номерами 0-3 и 4-7. Доступ к банкам из разных групп осуществляется параллельно, внутри одной группы – последовательно (в порядке поступления запросов от различных подсистем видеопроцессора). Поэтому при больших частотах оцифровки и при использовании DSP обработки, когда плотность потока данных значительно возрастает, для эффективного управления процессами ввода-вывода изображения следует пользоваться банками из разных групп. Правильная организация конвейера –

довольно нетривиальная задача и будет рассмотрена отдельно.

Обмен данными на шине PCI может проходить в двух режимах: MASTER и TARGET. В режиме TARGET передача данных осуществляется с помощью простых языковых операторов типа “**copy**”. В режиме MASTER задействован механизм прямого доступа к памяти (DMA). Скорость передачи данных в режиме MASTER примерно в шесть раз больше и составляет 60 Мбайт/сек.

При обмене данными в режиме TARGET каждый банк памяти делится на 128 частей (окон). Одно окно является частью адресного пространства оперативной памяти компьютера размером 16 КБайт и начальным адресом, сдвинутым на 16 КБайт вверх относительно адреса, указанного в первом базовом адресном регистре конфигурационного заголовка платы. Например, если базовый адрес равен 000D0000h, то окно памяти, через которое будет вестись обмен данными, составит диапазон 000D4000h – 000D7FFFh. Номер окна памяти (от 0 до 127), подключенного к адресному пространству компьютера, определяется битами D9..D3 регистра **PCI_Ctrl**.

При обмене данными в режиме MASTER (или DMA) внутренний буфер памяти видеопроцессора на адресное пространство оперативной памяти компьютера не отображается. Банк памяти представляет собой единое целое и может быть записан или считан целиком за один раз. Обмен данными в режиме DMA будет рассмотрен ниже.

При оцифровке изображения строки ТВ кадра во внутреннем буфере памяти располагаются последовательно друг за другом – сначала строки первого поля, затем второго. При передаче изображения в оперативную память компьютера для восстановления правильного чередования строк можно использовать чересстрочный обмен данными (то же относится и к выводу изображения на внешний монитор).

6. Инициализация платы.

После включения питания компьютера или нажатия кнопки “RESET” необходимо выполнить начальную инициализацию платы RT-851, т.е. записать нужную информацию в ее конфигурационный заголовок. Процесс инициализации будет зависеть от типа операционной системы, под управлением которой работает плата. Для систем Windows 95, 98, Windows NT существуют стандартные процедуры инициализации, параметрами которых являются одноименные регистры конфигурации – **Vendor ID**, **Device ID** и др. (см. п.5.1). Под Windows NT,2000 инициализация устройства осуществляется драйвером, входящим в комплект поставки. Здесь же рассмотрим лишь случай инициализации платы при работе под управлением MS-DOS.

Для доступа к конфигурационным заголовкам PCI устройств существуют два стандартных 32-разрядных порта ввода-вывода, закрепленных за арбитром шины PCI, и называемых **CONFIG_ADDRESS** (адрес 0CF8h) и **CONFIG_DATA** (адрес 0CFCh). Формат регистра **CONFIG_ADDRESS** следующий:

31	30							24	23							16	15							11	10		8	7							0
1	Зарезервировано = 0							Номер шины							Номер устройства				Номер функции		Номер регистра														

где, *номер шины* – номер шины PCI, к которой подключена плата RT-851;

номер устройства – число от 0 до 31, соответствующее слоту расширения шины PCI, в котором установлена плата RT-851;

номер функции – для платы RT-851 значение равно 0;

номер регистра – число от 0 до 60 кратное 4, указывающее на смещение в конфигурационном заголовке платы RT-851, куда будет произведено обращение при последующем чтении/записи регистра **CONFIG_DATA**.

Сначала в порт **CONFIG_ADDRESS** записываются координаты того регистра конфигурационного заголовка, к которому необходимо произвести обращение. Затем производится чтение или запись данных в этот регистр через порт **CONFIG_DATA**. Например, если требуется записать в базовый адресный регистр значение 000D0000h, а за RT-851 закреплен номер устройства 10h, то сначала в порт **CONFIG_ADDRESS** записывается число 80008010h, а затем в порт **CONFIG_DATA** – число 000D0000h. Необходимо помнить, что все операнды в операциях ввода/вывода должны быть 32-х разрядными (в реальном режиме процессора этого можно добиться, проставляя в ассемблерном тексте префикс 66h).

Процесс инициализации состоит из нескольких этапов:

- определение номера шины и номера устройства, закрепленного за платой RT-851;
- запись базовых адресов памяти в соответствующие регистры конфигурации;
- включение платы в пространство памяти и включение режима MASTER установкой в “1” битов D2, D1 в регистре **Command** конфигурационного заголовка.

Рекомендуемый для MS-DOS базовый адрес памяти – D0000h. При этом в файле CONFIG.SYS при загрузке драйвера EMM386.EXE необходимо выключить соответствующую область верхней памяти строкой:

```
DEVICE = C:\DOS\EMM386.EXE NOEMS X=D000-D7FF
```

В качестве примера в файле INIT_851.PAS приведен текст программы инициализации, написанной на языке Паскаль (Borland Pascal 7.0).

7. Обмен данными в режиме DMA.

Обмен данными в режиме DMA состоит из двух этапов – старта процесса DMA и последующего получения подтверждения об его завершении.

7.1. Основной старт DMA.

Основной старт DMA выполняется каждый раз, когда требуется передать кадр изображения из внутренней памяти устройства в оперативную память компьютера или обратно за один цикл, либо в начальной фазе при передаче кадра частями. В этом случае необходимы следующие действия:

- 1). Программируется регистр **DMA_Ctrl**.
- 2). Программируются регистры **Mem_Addr**, **Mem_Addr1** и **DMA_Line**. Значения, записываемые в регистры, должны быть кратны 16.
- 3). Программируется регистр **DMA_Byte**.
- 4). Последним программируется регистр **DMA_Addr**. После операции записи в этот регистр начинается процесс DMA.

Контроллер DMA, реализованный в RT851, выдает запрос на шину PCI и после получения подтверждения на захват шины, начинает передачу данных блоками до 256 байт (длина блока определяется значением конфигурационного регистра **Latency Timer**). После передачи каждого блока шина PCI освобождается на время примерно равное времени передачи блока. Процесс DMA заканчивается, когда счетчик количества переданных байт достигнет значения, записанного в регистр **DMA_Byte**.

7.2. Промежуточный старт DMA.

Промежуточный старт DMA выполняется повторно, если передача кадра ведется частями. В этом случае необходимы следующие действия:

- 1). Программируется регистр **DMA_Byte**. Если количество передаваемых данных не

изменилось по сравнению с предыдущим стартом – регистр можно не программировать.

2). Программируется регистр **DMA_Addr**.

7.3. Завершение процесса DMA.

Получение подтверждения о завершении DMA происходит либо по прерыванию, либо при постоянном опросе регистров **Reg_Stat** или **Reg_Events**.

1). При получении прерывания (если оно было разрешено) прочитать регистр **Reg_Events** и убедиться, что прерывание пришло от контроллера DMA и процесс DMA закончился корректно (бит D0 = 1). При чтении регистра **Reg_Events** прерывание снимается, а бит D0 сбрасывается. Необходимо помнить, что при чтении регистра **Reg_Events** все остальные биты событий сбрасываются.

2). Завершение DMA можно определить также и без прерывания – по регистру состояния **Reg_Stat** (бит D6=0).

Важное замечание:

Получение прерывания от устройства при окончании DMA фактически означает высвобождение шины PCI, однако, внутренние процессы в устройстве могут еще некоторое время продолжаться (до 10 мкс). Полное завершение DMA контролируется по биту D6 регистра **Reg_Stat**.

8. Ввод изображения в режиме внешнего запуска.

Ввод изображения может быть синхронизирован с внешним ТТЛ сигналом, подключенным к одной из линий цифрового интерфейса платы. При этом алгоритм ввода кадров будет определяться характером подаваемого сигнала запуска и требуемым временем реакции на него.

Самым простым способом синхронизации ввода с запускающим сигналом является чтение регистра **Reg_Stat**, проверка логического уровня на соответствующей цифровой линии и при обнаружении, например, логической 1 осуществление фиксации кадра во внутреннем буфере платы и дальнейшей перекачки его в оперативную память компьютера. Однако, если сигнал запуска достаточно короткий (меньше периода опроса регистра **Reg_DIO**), то он может быть пропущен.

В случае, если сигнал запуска имеет импульсный характер или требуется быстрая реакция системы, можно воспользоваться другим способом. Сигнал запуска подключить к цифровой линии **I/O-2**. В регистре **Syst_Ctrl** установкой бита D6 в “1” разрешить прерывание по изменению логического состояния на этой линии. Тогда при обнаружении переднего или заднего фронта сигнала запуска в регистре событий **Reg_Events** установится бит D5, который либо вызовет прерывание (если они были разрешены битом D0 регистра **Syst_Ctrl**), либо просто зафиксирует факт прихода импульса запуска. При чтении регистра **Reg_Events** все биты зафиксированных ранее событий (в том числе и D5) сбросятся.

9. Включение платы.

Плата подключается к ЭВМ через свободный разъем (слот) расширения шины PCI на материнской плате. Рекомендуемая конфигурация: Pentium, оперативная память - 16 Мб, SVGA карта с памятью не менее 1 Мб, SVGA монитор, поддерживающий разрешение 1024 * 768.

До включения питания общие шины источника TV сигнала, компьютера, внешнего монитора (ВКУ) должны быть соединены вместе (заземлены). В противном случае возможен выход изделия из строя из-за разности потенциалов фаз электропитания.

Для исключения возможных наводок от электрической сети рекомендуется подключение всех компонентов системы к одной фазе электропитания.

На плате имеются три разъёма в отверстиях на крепежной планке. Дальний от системного разъема PCI – вход TV сигнала (X1), ближний – выход на внешний монитор (X3). На средний разъём X2 выведены линии цифрового интерфейса платы, аналоговые входы и цепь питания +5V. В зависимости от варианта поставки разъем X2 может быть установлен с контактами типа “гнездо” или “штырь”. В таблице 3 приведены номера контактов для двух типов разъемов.

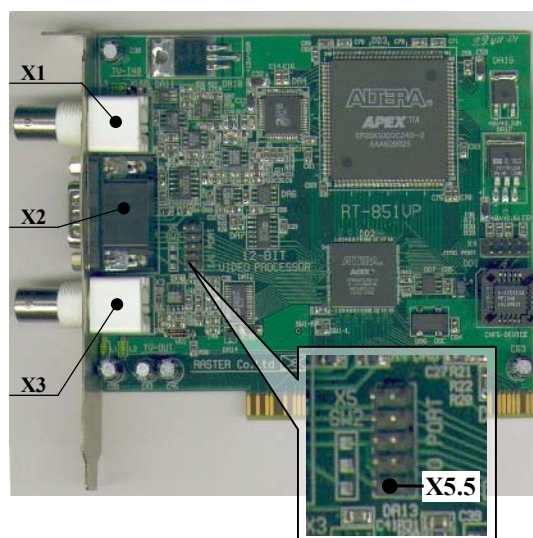


Таблица 3

Контакт	Цепь (гнездо)	Цепь (штырь)
1	I/O-1	TV-IN-1
2	TV-IN-4	TV-IN-2
3	TV-IN-3	TV-IN-3
4	TV-IN-2	TV-IN-4
5	TV-IN-1	I/O-1
6	I/O-2	Земля (аналоговая)
7	I/O-4	Земля (аналоговая)
8	Земля (аналоговая)	Земля (аналоговая)
9	Земля (аналоговая)	I/O-4
10	Земля (аналоговая)	I/O-2
11	I/O-3	Корпус
12	Свободный	+5V
13	Корпус	Корпус
14	+5V	Свободный
15	Корпус	I/O-3

Линии цифрового интерфейса платы могут использоваться также для подключения сигналов внешней синхронизации. Для переключения в режим внешней синхронизации необходимо замкнуть между собой нижнюю пару контактов разъема X5 (см. рисунок). На выводы I/O-1 и I/O-3 подаются соответственно строчные и кадровые синхроимпульсы положительной полярности (эти линии должны быть настроены на ввод). Для правильной привязки ТВ изображения к уровню черного во входном видеосигнале желательно иметь врезанные строчные синхроимпульсы.

10. Гарантийные обязательства.

ООО “РАСТР ТЕХНОЛОДЖИ” осуществляет бесплатный гарантийный ремонт продукции в течение 12 месяцев от даты продажи, сопровождение и консультации по работе с устройством. Гарантия не распространяется на ущерб, причинённый другому оборудованию, работающему в сопряжении с данным изделием. Срок гарантии увеличивается на время нахождения изделий в ремонте.

Гарантийные обязательства аннулируются в случае, если:

- отсутствует или оторвана гарантийная наклейка;
- на плате был произведен любой неавторизованный ООО "РАСТР ТЕХНОЛОДЖИ" ремонт или её модификация;
- неисправности вызваны неправильной эксплуатацией платы (механические повреждения, неправильное включение, отсутствие заземления и т.п.);
- неисправности вызваны неправильной эксплуатацией оборудования, в том числе:
 - эксплуатация в сильно запылённых помещениях;
 - неправильное подключение дополнительного оборудования;
 - использование питания с характеристиками, отличными от допустимых;
 - изделие было установлено и использовано иначе, чем указано в инструкции по эксплуатации.

Недополученная в связи с появлением неисправности прибыль и другие косвенные расходы не подлежат возмещению.

По вопросам эксплуатации и ремонта обращайтесь по телефону ООО "РАСТР ТЕХНОЛОДЖИ" в Москве

 (095) #425-73-26; E-mail: raster-msk@mtu-net.ru

