

**РАСТР ТЕХНОЛОДЖИ**

**Устройство ввода-вывода  
телевизионных изображений  
RT-824**

Техническое описание и инструкция по эксплуатации

© Москва 2004

## ОГЛАВЛЕНИЕ

|  |    |
|--|----|
| 1. НАЗНАЧЕНИЕ.....   | 3  |
| 2. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ.....   | 3  |
| 3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ УСТРОЙСТВА.....   | 4  |
| 4. РЕЖИМЫ РАБОТЫ ИЗДЕЛИЯ.....  | 4  |
| 5. ПОТРЕБЛЯЕМЫЕ РЕСУРСЫ.....   | 5  |
| 5.1. РЕГИСТРЫ КОНФИГУРАЦИИ ШИНЫ PCI.....   | 5  |
| 5.2. ОПЕРАЦИОННЫЕ РЕГИСТРЫ.....  | 7  |
| 5.2.1. Системный регистр управления.....   | 8  |
| 5.2.2. Регистр управления режимом DMA.....   | 9  |
| 5.2.3. Регистр адреса DMA.....   | 9  |
| 5.2.4. Регистр счетчика данных DMA.....  | 9  |
| 5.2.5. Регистр событий.....  | 9  |
| 5.2.6. Регистр статуса.....  | 10 |
| 5.2.7. Регистр цифрового ввода-вывода.....   | 10 |
| 5.2.8. Регистры адреса первого и второго полей кадра, регистр длины строки DMA.....  | 11 |
| 5.2.9. Регистр инициализации динамической памяти.....  | 11 |
| 5.2.10. Регистр управления внутренним буфером памяти.....  | 11 |
| 5.2.11. Регистр управления подсистемой ввода изображения.....  | 12 |
| 5.2.12. Регистр управления подсистемой вывода изображения.....   | 12 |
| 5.2.13. Регистры усиления и смещения уровня черного входного сигнала, регистр<br>определения амплитуды входного сигнала. Автоматическая настройка яркости..... | 12 |
| 5.2.14. Регистр коммутации аналоговых входов.....  | 13 |
| 5.2.15. Регистры настройки формата кадра.....  | 14 |
| 5.2.16. Регистры настройки формата строба статистики.....  | 15 |
| 5.2.17. Регистры цифровой обработки входного сигнала.....  | 15 |
| 5.3. ОРГАНИЗАЦИЯ ВНУТРЕННЕГО БУФЕРА ПАМЯТИ.....  | 17 |
| 6. ИНИЦИАЛИЗАЦИЯ ПЛАТЫ.....  | 19 |
| 7. ОБМЕН ДАННЫМИ В РЕЖИМЕ DMA.....   | 20 |
| 7.1. Основной старт DMA.....   | 20 |
| 7.2. Промежуточный старт DMA.....  | 20 |
| 7.3. Завершение процесса DMA.....  | 20 |
| 8. ВВОД ИЗОБРАЖЕНИЯ В РЕЖИМЕ ВНЕШНЕГО ЗАПУСКА.....   | 21 |
| 9. ВКЛЮЧЕНИЕ ПЛАТЫ.....  | 21 |
| 10. ГАРАНТИЙНЫЕ ОБЯЗАТЕЛЬСТВА.....   | 22 |
| ПРИЛОЖЕНИЕ 1. ДЕМОНСТРАЦИОННАЯ ПРОГРАММА RT824.EXE.....  | 23 |

## 1. Назначение.

Устройство ввода-вывода и обработки телевизионных изображений **RT-824** предназначено для подключения к ЭВМ на базе платформы INTEL x86 телевизионных камер, тепловизоров, электронных микроскопов, видеомагнитофонов, рентгеновских ТВ установок или любых других устройств, выдающих телевизионный сигнал в различных стандартах. Устройство позволяет вводить в ЭВМ черно-белый телевизионный сигнал в реальном времени (не менее 25 кадров в секунду), а также выводить оцифрованное черно-белое изображение на внешний ТВ монитор или видеоконтрольное устройство (ВКУ).

## 2. Технические характеристики.

### ***Видеовход***

- 4 программно коммутируемых видеовхода.
- Входное сопротивление: 75 Ом.
- Уровень входного сигнала: от 0.5V pp до 2V pp.
- Полярность синхроимпульсов: отрицательная.
- Синхронизация: внешняя (ТТЛ - уровень) или внутренняя.
- Программная регулировка усиления входного сигнала в диапазоне  $\pm 9$  дБ и уровня чёрного в диапазоне  $\pm 0.3V$ ; дискретность регулировок – 256 градаций; линейность регулировок –  $\pm 5\%$ .
- Автоматическая настройка усиления и уровня черного (полное использование динамического диапазона АЦП в автоматическом режиме).
- АЦП: 10 бит, нелинейность 1 LSB, частота дискретизации до 40 МГц.
- Программируемый формат оцифровки кадра: до **2048 \* 1024 \* 8/10** – 1024 строк, 2048 пикселей в строке, 256/1024 градаций серого.
- Дрожание пикселя (*jitter*): не более  $\pm 2$  нсек.

### ***Видеовыход***

- Выходной сигнал в стандарте **ГОСТ 7845-92, CCIR, RS-170**.
- Уровень выходного сигнала: 1.0V pp на нагрузке 75 Ом.
- Уровень и полярность синхроимпульсов: 0.35V, отрицательная.
- Программируемый генератор ТВ сигнала.
- ЦАП: 8 бит, частота дискретизации до 32 МГц.

### ***Интерфейс и внутренняя память***

- Внутренний буфер памяти: 4 Мбайт (4 полных телевизионных кадра).
- Интерфейс: 32 битная шина **PCI MASTER**.
- Подключение в стандарте Plug & Play.
- Скорость передачи данных: средняя – 60 Мбайт/сек, пиковая – 132 Мбайт/сек.
- 4 программируемых цифровых входа/выхода.

### ***Конструкция и размеры***

- Платы изготовлены на базе ПЛИМ фирмы **ALTERA APEX-20K** по технологии **SMD**.
- Габаритные размеры мм - 120 \* 86 \* 20.

### 3. Функциональные узлы устройства.

Устройство RT-824 состоит из следующих функциональных узлов:

- **4-х канальный видеокмутатор** – осуществляет коммутацию аналоговых входов (время переключения - 8 нс);
- **схема восстановления постоянной составляющей (DC)** – осуществляет привязку телевизионного сигнала к уровню чёрного;
- **нормирующий усилитель** – обеспечивает согласование уровня входного сигнала с динамическим диапазоном АЦП;
- **схема регулировки смещения постоянной составляющей (DC) и усиления** – позволяет программно автоматически или вручную настраивать яркость и контрастность входного телевизионного изображения (256 градаций);
- **схема выделения сигналов синхронизации** – выделяет из входного сигнала строчные и кадровые синхроимпульсы, а также формирует заданное окно ввода входного телевизионного изображения;
- **ADC** – 10 разрядный аналого-цифровой преобразователь (АЦП);
- **GenLock** – широкодиапазонный генератор частоты квантования входного сигнала (пиксельной частоты). Имеет систему фазовой автоподстройки частоты (ФАПЧ) и обеспечивает дрожание пикселя (jitter) не более  $\pm 2$  нс;
- **DAC** – 8 разрядный цифро-аналоговый преобразователь (ЦАП);
- **тактовый генератор** – вырабатывает пиксельную частоту для формирования выходного телевизионного сигнала;
- **схема формирования ТВ раstra** – генератор импульсов гашения и синхронизации для выходного телевизионного сигнала;
- **выходной усилитель** – формирует выходной телевизионный сигнал и обеспечивает согласование с 75-омной нагрузкой;
- **схема управления и синхронизации** – осуществляет общее управление всеми процессами в устройстве;
- **RAM** – 32-х разрядный внутренний буфер памяти (SDRAM, 4 МБ). Функционально разделен на 4 банка по 1 МБ;
- **контроллер RAM** – осуществляет управление внутренним буфером памяти;
- **буферы FIFO** – буферы временного хранения данных (512 байт);
- **PCI Interface 2.1, контроллер DMA, конфигурационные и операционные регистры** – обеспечивают связь RT-824 с оперативной памятью компьютера через шину PCI в режимах MASTER и TARGET.

### 4. Режимы работы изделия.

Устройство RT824 имеет следующие основные режимы работы:

- **фиксация** телевизионного **кадра** во внутреннем буфере памяти (с возможностью усреднения нескольких кадров);
- **передача данных** через интерфейс PCI;
- **мониторирование** (просмотр) входного телевизионного сигнала на внешнем мониторе (или ВКУ – видеоконтрольном устройстве).

- **визуализация** (просмотр) на внешнем мониторе (ВКУ) телевизионных кадров, записанных во внутреннем буфере памяти.

Устройство RT824 используя перечисленные режимы работы может осуществлять:

- непрерывный или одиночный ввод телевизионных кадров в компьютер с одновременным контролем вводимого изображения на внешнем мониторе (ВКУ);
- вывод на внешний монитор (ВКУ) одиночного кадра (без ввода изображения в компьютер);
- вывод на внешний монитор (ВКУ) серии ранее введенных кадров в реальном времени или с замедлением (без ввода изображения в компьютер).

Использование входного коммутатора на 4 аналоговых входа и четырех программируемых цифровых входов/выходов позволяет реализовать дополнительные функциональные возможности: подключение до 4 источников ТВ сигнала, использование внешних команд управления, подключение исполнительных устройств и т.д.

## **5. Потребляемые ресурсы.**

Устройство RT-824 является Plug & Play устройством, которое подключается к компьютеру через интерфейс шины PCI и использует 32 Кбайт оперативной памяти. Месторасположение занимаемого адресного пространства памяти может быть произвольным и определяется на этапе начальной инициализации устройства. Результаты процесса инициализации (в том числе и задействованные физические адреса) фиксируются в конфигурационном заголовке платы (регистрах конфигурации).

### **5.1. Регистры конфигурации шины PCI.**

В соответствии со стандартом шины PCI, каждое устройство, подключенное к шине, должно иметь конфигурационный заголовок, определяющий порядок взаимодействия устройства с арбитром шины. Конфигурационный заголовок состоит из регистров конфигурации (8-, 16- и 32-разрядных), которые занимают в общей сложности 256 байт. В таблице 1 приведен полный перечень и порядок расположения регистров в конфигурационном заголовке. В таблице 2 дано краткое описание регистров конфигурации, которые поддерживаются платой RT-824 (выделены серым цветом в табл. 1).

**Таблица 1**

| Address | Byte                                |             |                     |                 |
|---------|-------------------------------------|-------------|---------------------|-----------------|
|         | 3                                   | 2           | 1                   | 0               |
| 00H     | Device ID                           |             | Vendor ID           |                 |
| 04H     | Status Register                     |             | Command Register    |                 |
| 08H     | Class Code                          |             |                     | Revision ID     |
| 0CH     | BIST                                | Header Type | Latency Timer       | Cache Line Size |
| 10H     | Base Address Register 0             |             |                     |                 |
| 14H     | Base Address Register 1             |             |                     |                 |
| 18H     | Base Address Register 2             |             |                     |                 |
| 1CH     | Base Address Register 3             |             |                     |                 |
| 20H     | Base Address Register 4             |             |                     |                 |
| 24H     | Base Address Register 5             |             |                     |                 |
| 28H     | Card Bus CIS Pointer                |             |                     |                 |
| 2CH     | Subsystem ID                        |             | Subsystem Vendor ID |                 |
| 30H     | Expansion ROM Base Address Register |             |                     |                 |

|          |                        |                      |                      |                       |
|----------|------------------------|----------------------|----------------------|-----------------------|
| 34H      | Reserved               |                      |                      |                       |
| 38H      | Reserved               |                      |                      |                       |
| 3CH      | <b>Maximum Latency</b> | <b>Minimum Grant</b> | <b>Interrupt Pin</b> | <b>Interrupt Line</b> |
| 40H..FFH | Reserved               |                      |                      |                       |

**Таблица 2**

| Смещение адреса регистра | Адресный диапазон регистра | Чтение / запись | Начальное значение | Название регистра              | Описание регистра   |
|--------------------------|----------------------------|-----------------|--------------------|--------------------------------|---|
| 00h                      | 00h-01h                    | Чтение          | 5254h              | <b>Vendor ID</b>               | Идентификатор производителя устройства – фирма РАСТР ТЕХНОЛОДЖИ   |
| 02h                      | 02h-03h                    | Чтение          | 0824h              | <b>Device ID</b>               | Идентификатор типа устройства – плата RT-824  |
| 04h                      | 04h-05h                    | Чтение/ запись  | 0000h              | <b>Command</b>                 | Обеспечивает подключение устройства к шине PCI:<br>бит 0 – не используется;<br>бит 1 – разрешает доступ к памяти;<br>бит 2 – разрешает режим MASTER;<br>биты 5..3 – не используются;<br>бит 6 – разрешает выдачу сигнала PERR на шине PCI при обнаружении ошибки четности данных;<br>бит 7 – не используется;<br>бит 8 – разрешает выдачу сигнала SERR на шине PCI при обнаружении ошибки четности адреса (должен быть установлен бит 6);<br>биты 15..9 – не используются.  |
| 06h                      | 06h-07h                    | Чтение/ запись  | 0400h              | <b>Status</b>                  | Содержит информацию о некоторых режимах и результатах работы устройства на шине PCI (для процесса начальной инициализации устройства этот регистр не используется).   |
| 08h                      | 08h-08h                    | Чтение          | 01h                | <b>Revision ID</b>             | Идентификатор номера версии исполнения устройства   |
| 09h                      | 09h-0Bh                    | Чтение          | 040000h            | <b>Class Code</b>              | Содержит информацию о принадлежности данного устройства к определенному классу устройств (плата RT824 принадлежит к классу устройств Multimedia).   |
| 0Dh                      | 0Dh-0Dh                    | Чтение/ запись  | 00h                | <b>Latency Timer</b>           | Используется в режиме MASTER для определения длительности непрерывной передачи одной порции данных на шине PCI.<br>Биты 2..0 – не используются и равны 0;<br>Биты 7..3 – определяют длительность непрерывной порции данных в тактах шины PCI, умноженных на 8 (максимальное число – 0, что соответствует 256-ти тактам).  |
| 0Eh                      | 0Eh-0Eh                    | Чтение          | 00h                | <b>Header Type</b>             | Указывает на то, что RT-824 не является многофункциональным PCI устройством (см. спецификацию шины).  |
| 10h                      | 10h-13h                    | Чтение/ запись  | 00000000h          | <b>Base Address Register 0</b> | <b>Первый базовый адресный регистр.</b> Он определяет диапазон адресов памяти, занимаемых устройством, и место его расположения в общем пространстве адресов памяти. Биты 14..0 используются только для чтения, а биты 31..15 – для чтения и записи.<br>Бит 0 – равен 0 и указывает на принадлежность базового адреса к пространству адресов памяти;<br>Биты 2..1 – равны 0, что определяет возможность расположения занимаемого устройством диапазона адресов памяти в любом месте 32-х разрядного адресного пространства;<br>Бит 3 – равен 0 и указывает на то, что режим “Prefetchable” устройством не поддерживается (см. спецификацию шины PCI);<br>Биты 14..4 – равны 0 и указывают на то, что диапазон адресов памяти, занимаемого устройством, составляет 32 Кбайт; |

| Смещение адреса регистра | Адресный диапазон регистра | Чтение / запись | Начальное значение | Название регистра      | Описание регистра  |
|--------------------------|----------------------------|-----------------|--------------------|------------------------|--|
|                          |                            |                 |                    |                        | Биты 31..15 – определяют базовый адрес в 32-х разрядном адресном пространстве памяти.  |
| 3Ch                      | 3Ch-3Ch                    | Чтение/запись   | FFh                | <b>Interrupt Line</b>  | Определяет номер прерывания (от 0 до 15), используемого устройством. Значение FFh говорит о том, что прерывание по умолчанию не используется.  |
| 3Dh                      | 3Dh-3Dh                    | Чтение          | 01h                | <b>Interrupt Pin</b>   | Информирует о том, какая аппаратная линия на шине PCI задействована под прерывание. Значение 01h говорит о том, что под прерывание задействована линия INTA#.  |
| 3Eh                      | 3Eh-3Eh                    | Чтение          | 10h                | <b>Minimum Grant</b>   | Используется только как информационный и сообщает арбитру шины о предполагаемой длительности непрерывной порции данных, передаваемых через шину. Значение длительности выражено в 250-ти наносекундных отрезках (10h x 250нс = 4 мкс). |
| 3Fh                      | 3Fh-3Fh                    | Чтение          | 00h                | <b>Maximum Latency</b> | Используется только как информационный и сообщает арбитру шины о том, как часто устройство предполагает задействовать шину для передачи данных. Значение 00h говорит о том, что требования к этому параметру не определены.            |

## 5.2. Операционные регистры.

После проведения процесса инициализации устройство RT-824 займет в адресном пространстве компьютера 32 Кбайт памяти. Функционально эта память разбита на две части: нижние 16 Кбайт занимают управляющие *операционные регистры*, а верхние 16 Кбайт являются окном в адресном пространстве, через которое происходит обмен данными между внутренним буфером памяти RT-824 и оперативной памятью компьютера. Следует отметить, что это окно используется только в режиме TARGET (в режиме MASTER данное окно не используется).

Физический адрес первого операционного регистра определяется значением, указанным в первом базовом адресном регистре конфигурационного заголовка. Например, если базовый адрес равен 000D0000h, то операционные регистры займут область памяти 000D0000 – 000D3FFF, а окно обмена данными – область 000D4000h – 000D7FFFh.

Операционные регистры, имеющие разрядность более 16 бит, программируются только с помощью 32-х разрядных операций чтения/записи (не допускается запись, например, сначала младших, а затем старших 16 бит).

В таблице 3 приведен перечень всех операционных регистров устройства.

**Таблица 3**

| Смещение адреса регистра | Направление операции (чтение/запись) | Аббревиатура регистра | Описание регистра              |
|--------------------------|--------------------------------------|-----------------------|--------------------------------|
| 00H                      | запись                               | <b>Syst_Ctrl</b>      | Системный регистр управления   |
| 04H                      | запись                               | <b>DMA_Ctrl</b>       | Регистр управления режимом DMA |
| 08H                      | запись                               | <b>DMA_Addr</b>       | Регистр адреса DMA             |
| 0CH                      | запись                               | <b>DMA_Byte</b>       | Регистр счетчика данных DMA    |
| 10H                      | чтение                               | <b>Reg_Events</b>     | Регистр событий                |
| 14H                      | чтение                               | <b>Reg_Stat</b>       | Регистр статуса                |
| 18H                      | запись/чтение                        | <b>Reg_DIO</b>        | Регистр цифрового ввода-вывода |
| 20H                      | запись                               | <b>DMA_Line</b>       | Регистр длины строки DMA       |

| Смещение адреса регистра                            | Направление операции (чтение/запись) | Аббревиатура регистра | Описание регистра                                       |
|---|--------------------------------------|-----------------------|---|
| 24H   | запись                               | <b>Mem_Addr</b>       | Регистр адреса первого поля кадра                       |
| 28H   | запись                               | <b>Mem_Addr1</b>      | Регистр адреса второго поля кадра                       |
| 34H   | запись                               | <b>Mem_Init</b>       | Регистр инициализации динамической памяти               |
| 38H   | запись                               | <b>PLL_Ctrl</b>       | Регистр управления внутренним буфером памяти            |
| 3CH   | запись                               | <b>ADC_Ctrl</b>       | Регистр управления подсистемой ввода изображения        |
| 40H   | Запись                               | <b>DAC_Ctrl</b>       | Регистр управления подсистемой вывода изображения       |
| 44H   | запись                               | <b>MUX_A</b>          | Регистр коммутации аналоговых входов                    |
| 98H   | запись                               | <b>ADC_Ctrl</b>       | Регистр аналогового смещения уровня черного             |
| 48H   | запись                               | <b>Reg_Level</b>      | Регистр цифрового смещения уровня черного               |
| 4CH   | запись                               | <b>Reg_Gain</b>       | Регистр усиления входного сигнала                       |
| 50H   | чтение                               | <b>ADC_MinMax</b>     | Регистр определения амплитуды входного сигнала          |
| <b>Регистры настройки формата кадра</b>             |                                      |                       |   |
| 54H   | запись                               | <b>PLL_Ctrl</b>       | Регистр настройки частоты оцифровки                     |
| 58H   | запись                               | <b>Len_Line_All</b>   | Полная длина строки (количество пикселей)               |
| 5CH   | запись                               | <b>Beg_Line_Act</b>   | Начало активной части строки (номер пикселя)            |
| 60H   | запись                               | <b>Len_Line_Act</b>   | Длина активной части строки (количество пикселей)       |
| 64H   | запись                               | <b>Numb_Line_Act</b>  | Начало активной части первого поля кадра (номер строки) |
| 68H   | запись                               | <b>Beg_Field2_Act</b> | Начало активной части второго поля кадра (номер строки) |
| 6CH   | запись                               | <b>Numb_Line_Act</b>  | Число активных строк кадра                              |
| 70H   | запись                               | <b>Numb_Line_All</b>  | Число всех строк кадра                                  |
| 84H   | запись                               | <b>T_Line</b>         | Период строчной частоты (в микросекундах)               |
| <b>Регистры настройки формата строба статистики</b> |                                      |                       |   |
| ACH   | запись                               | <b>Strob_L</b>        | Левая граница строба внутри кадра                       |
| B0H   | запись                               | <b>Strob_R</b>        | Правая граница строба внутри кадра                      |
| B4H   | запись                               | <b>Strob_U</b>        | Верхняя граница строба внутри кадра                     |
| BCH   | запись                               | <b>Strob_D</b>        | Нижняя граница строба внутри кадра                      |
| <b>Регистры цифровой обработки сигнала</b>          |                                      |                       |   |
| A0H   | запись                               | <b>ADC_DSP</b>        | Регистр функций DSP обработки (опция)                   |
| 94H   | запись                               | <b>Reg_Accum</b>      | Регистр управления накоплением входного сигнала         |
| D8H   | запись                               | <b>Reg_RC</b>         | Регистр управления рекурсивным фильтром (опция)         |

### 5.2.1. Системный регистр управления.

С помощью регистра **Syst\_Ctrl** задается маска прерываний по различным событиям и осуществляется настройка цифровых линий ввода-вывода.

Установкой в 1 битов D8..D1 регистра **Syst\_Ctrl** разрешается фиксация соответствующих событий в регистре **Reg\_Events**. Бит D0 разрешает генерацию прерываний от устройства при наступлении этих событий.

| Биты | Описание   |
|------|--|
| 0    | Общее разрешение прерываний                                |
| 1    | Разрешение прерывания при завершении DMA                   |
| 2    | Разрешение прерывания от входных кадровых синхроимпульсов  |
| 3    | Разрешение прерывания от выходных кадровых синхроимпульсов |

| Биты   | Описание  |
|--------|---|
| 4      | Разрешение прерывания при пропадании входного сигнала   |
| 5      | Разрешение прерывания по изменению логического состояния на цифровой линии I/O-1  |
| 6      | Разрешение прерывания по изменению логического состояния на цифровой линии I/O-2  |
| 7      | Разрешение прерывания по изменению логического состояния на цифровой линии I/O-3  |
| 8      | Разрешение прерывания по изменению логического состояния на цифровой линии I/O-4  |
| 12..9  | Выбор направления цифровых линий I/O-4 .. I/O-1<br>0 - ввод с внешнего разъема<br>1 - вывод логических ТТЛ уровней на внешний разъем через биты D3..D0 регистра <a href="#">Reg_DIO</a> |
| 31..13 | Не используется   |

### 5.2.2. Регистр управления режимом DMA.

Регистр **DMA\_Ctrl** организует порядок обмена данными через интерфейс PCI в режиме MASTER.

| Биты  | Описание  |
|-------|---|
| 0     | Не используется   |
| 1     | Принудительный останов режима DMA<br>0 - DMA проходит в обычном режиме<br>1 - режим DMA остановлен  |
| 2     | Разрядность передаваемых данных<br>0 - один байт на пиксель (8 бит)<br>1 - два байта на пиксель (12 бит)  |
| 3     | Направление передачи данных через интерфейс PCI:<br>0 - данные записываются во внутренний буфер видеопроцессора<br>1 - данные читаются из внутреннего буфера видеопроцессора  |
| 4     | Чтение/запись чересстрочного изображения<br>0 - последовательное (прогрессивное) чтение/запись данных<br>1 - чтение/запись данных через строку (длина строки в пикселях указывается в регистре <a href="#">DMA_Line</a> ) |
| 5     | Чтение/запись данных с вертикальным отражением<br>0 - чтение/запись данных от верхней строки к нижней<br>1 - чтение/запись данных от нижней строки к верхней (Vertical Flip)  |
| 31..6 | Не используются   |

### 5.2.3. Регистр адреса DMA.

В регистр **DMA\_Addr** записывается 32-х разрядный адрес, указывающий на начало области оперативной памяти компьютера, с которой будет организован обмен данными при выполнении DMA. Операция записи в регистр **DMA\_Addr** дает также старт процессу DMA.

### 5.2.4. Регистр счетчика данных DMA.

Регистр **DMA\_Byte** является 20- разрядным счетчиком количества переданных байт в ходе выполнения DMA. За один цикл DMA можно передать до 1024 Кбайт данных. Значение количества байт, записываемое в регистр, должно быть кратно 16.

### 5.2.5. Регистр событий.

В регистре **Reg\_Events** фиксируется информация о событиях, вызвавших прерывание. В момент наступления одного из разрешенных событий устанавливается в 1 соответствующую

щий бит регистра **Reg\_Events** и выдается прерывание. При чтении регистра все установленные в 1 биты сбрасываются в 0, а прерывание снимается.

Важно! При обработке прерываний чтение регистра **Reg\_Events** является обязательным условием.

| Биты  | Описание  |
|-------|---|
| 0     | Завершение процесса DMA. Бит устанавливается в "1", когда счетчик количества переданных байт достигнет нуля, что свидетельствует об успешном завершении процесса DMA. |
| 1     | Ошибка во время выполнения DMA  |
| 2     | Появление кадрового синхроимпульса во входном сигнале   |
| 3     | Появление кадрового синхроимпульса в выходном сигнале   |
| 4     | Пропадание входного сигнала   |
| 5     | Изменение логического состояния одного либо нескольких цифровых входов  |
| 6     | Завершение фиксации строки с заданным номером в буфере памяти RT824 (по спец. заказу)   |
| 31..7 | Не используются   |

### 5.2.6. Регистр статуса.

В регистре статуса **Reg\_Stat** отражается информация о состоянии устройства и происходящих в нем процессах.

| Биты   | Описание   |
|--------|--|
| 0      | Окончание фиксации кадра во внутреннем буфере памяти. Бит сбрасывается в "0" при программировании режима фиксации кадра и устанавливается в "1" в конце ввода одного кадра в режиме без накопления или последнего введенного кадра в режиме с накоплением<br>0 – процесс фиксации кадра не закончен<br>1 – процесс фиксации кадра закончен |
| 1      | Фиксация телевизионного кадра во внутреннем буфере памяти. Бит устанавливается в "1" с началом ввода кадра и сбрасывается в "0" в конце ввода кадра в режиме без накопления или последнего введенного кадра в режиме с накоплением<br>0 – процесс фиксации еще не начат или уже закончен<br>1 – идет процесс фиксации кадра ТВ сигнала     |
| 2      | Кадровый синхроимпульс во входном сигнале. Бит устанавливается в "1", когда во входном сигнале присутствуют кадровые синхроимпульсы полей кадра.   |
| 3      | Номер (или четность) поля текущего кадра входного телевизионного сигнала<br>0 – первое поле кадра<br>1 – второе поле кадра   |
| 4      | Отсутствие входного телевизионного сигнала<br>0 – сигнал на входе присутствует<br>1 – сигнала на входе нет   |
| 5      | Вывод очередного кадра изображения. Бит устанавливается в "1" в начале и сбрасывается в "0" в конце вывода полного кадра. Он может использоваться для синхронизации смены банков памяти с записанными в них телевизионными кадрами при выводе изображения на внешний монитор.  |
| 6      | Процесс DMA активен. Бит устанавливается в "1" при записи адреса в регистр <b>DMA_Addr</b> и сбрасывается в "0" при завершении либо остановке процесса DMA.  |
| 23..7  | Не используются  |
| 31..24 | Количество кадров (0-255), накопленных в буфере платы в данный момент времени (только для устройств, поддерживающих накопление более 16 кадров)  |

### 5.2.7. Регистр цифрового ввода-вывода.

Регистр **Reg\_DIO** осуществляет связь видеопроцессора с внешним устройством посредством сигналов в уровнях ТТЛ логики через соответствующие цифровые линии. Направление передачи сигналов для каждого цифрового входа-выхода устанавливается битами

D12..D9 регистра **Syst\_Ctrl**. Линия **I/O-2** через резистор 1 кОм подключена к +5В и может использоваться для внешнего запуска с помощью кнопки (замыканием на корпус).

| Биты  | Описание   |
|-------|--|
| 3..0  | Входные/выходные цифровые линии <b>I/O-4</b> .. <b>I/O-1</b> (см. таблицу 3) |
| 31..8 | Не используются  |

### 5.2.8. Регистры адреса первого и второго полей кадра, регистр длины строки DMA.

Регистры **Mem\_Addr** и **Mem\_Addr1** (21 бит) являются указателями на текущий адрес памяти активного банка во внутреннем буфере видеопроцессора для первого и второго полей кадра (номер активного банка определяется битами D[1..0] регистра **PCI\_Ctrl**). При выполнении DMA эти указатели смещаются в соответствии с количеством переданных байт в каждом поле.

При прогрессивном способе обмена данными в регистры **Mem\_Addr** и **Mem\_Addr1** записывается адрес первой (при чтении/записи строк сверху вниз) или последней (при чтении/записи строк снизу вверх) строки активной части кадра. Активная часть кадра определяется регистрами входного/выходного формата кадра (5.2.15).

При чересстрочном способе обмена данными и чтении/записи строк сверху вниз в регистр **Mem\_Addr** записывается адрес первой строки первого поля активной части кадра, а в регистр **Mem\_Addr1** – адрес первой строки второго поля активной части кадра.

При чересстрочном способе обмена данными и чтении/записи строк снизу вверх (Vertical Flip) в регистр **Mem\_Addr** записывается адрес последней строки второго поля активной части кадра, а в регистр **Mem\_Addr1** – адрес последней строки первого поля активной части кадра.

Если передается не вся активная часть кадра, то в регистры **Mem\_Addr** и **Mem\_Addr1** записываются необходимые смещения от начала (или конца) полей кадра. В этом случае значение регистра **Mem\_Addr1** можно вычислить по формуле:

$[Mem\_Addr] + [DMA\_Line] * [Numb\_Line\_Act + 1] / 2$  – для 8-разрядных данных;

$[Mem\_Addr] + [DMA\_Line] * [Numb\_Line\_Act + 1]$  – для 16-разрядных данных.

Регистр **DMA\_Line** (11 бит) определяет длину строки передаваемого через шину PCI кадра в пикселях (разрядность пикселя необходимо указывать в регистре **DMA\_Ctrl**).

Значения, записываемые в регистры **Mem\_Addr**, **Mem\_Addr1** и **DMA\_Line**, должны быть кратны 16.

### 5.2.9. Регистр инициализации динамической памяти.

Регистр **Mem\_Init** используется для инициализации динамической памяти RT824. При старте драйвера или программы в этот регистр записывается значение 0.

### 5.2.10. Регистр управления внутренним буфером памяти.

Регистр **PCI\_Ctrl** осуществляет выбор активного PCI банка, а также организует порядок обмена данными с внутренним буфером памяти в режиме TARGET (см. раздел ‘Организация внутреннего буфера памяти’).

| Биты | Описание  |
|------|---|
| 1..0 | Выбор номера банка для обмена данными через PCI (выбор активного PCI банка) |
| 2    | Не используется   |

| Биты  | Описание  |
|-------|---|
| 9..3  | Номер окна в активном PCI банке (только для режима TARGET)<br>D9 D8 D7 D6 D5 D4 D3 Номер окна<br>0 0 0 0 0 0 0 0<br>0 0 0 0 0 0 1 1<br>0 0 0 0 0 1 0 2<br><br>1 1 1 1 1 1 1 127 |
| 31..9 | Не используются   |

### 5.2.11. Регистр управления подсистемой ввода изображения.

Регистр **ADC\_Ctrl** осуществляет управление фиксацией входного ТВ изображения во внутреннем буфере памяти видеопроцессора.

| Биты  | Описание  |
|-------|---|
| 1..0  | Выбор номера банка для ввода ТВ сигнала (активного ADC банка)   |
| 4..2  | Не используются   |
| 5     | Включение прорисовки границ строба статистики   |
| 6     | Обнуление входного сигнала  |
| 7     | Переключение разрядности входных данных:<br>0 - один байт на пиксель (8 бит)<br>1 - два байта на пиксель (10 бит) |
| 8     | Включение режима фиксации кадра. Бит автоматически сбрасывается по окончании фиксации кадра.                      |
| 31..9 | Не используются   |

### 5.2.12. Регистр управления подсистемой вывода изображения.

Регистр **DAC\_Ctrl** управляет выводом ТВ изображения из внутреннего буфера памяти видеопроцессора на внешний монитор.

| Биты  | Описание   |
|-------|--|
| 1..0  | Выбор номера банка для вывода ТВ сигнала (активного DAC банка)   |
| 3..2  | Не используются  |
| 4     | Включение режима вывода одного полукадра. В этом режиме при выводе на экран монитора второе поле кадра замещается первым (полезно при просмотре динамических изображений)  |
| 5     | Включение режима мониторингования – сквозного канала АЦП – ЦАП. <b>При вводе ТВ сигнала этот бит должен быть обязательно установлен в 1</b><br>0 – вывод изображения на внешний монитор из внутреннего буфера памяти (ввод ТВ сигнала невозможен)<br>1 – на внешний монитор сигнал поступает непосредственно с аналогового входа |
| 6     | Включение гашения выходного сигнала (без обнуления данных во внутреннем буфере)  |
| 31..7 | Не используются  |

### 5.2.13. Регистры усиления и смещения уровня черного входного сигнала, регистр определения амплитуды входного сигнала. Автоматическая настройка яркости.

С помощью 8-разрядных регистров **Reg\_Gain**, **ADC\_Offset** и **Reg\_Level** осуществляется настройка контрастности и яркости вводимого изображения. Регистр **ADC\_Offset** задает смещение постоянной составляющей видеосигнала. Оптимальное значение регистра определяется в зависимости от уровня синхроимпульсов и для большинства случаев может иметь величину  $92 \pm 16$ . Это значение соответствует небольшому положительному смещению

уровня черного, что благоприятно сказывается на динамических характеристиках устройства. Регистр **Reg\_Gain** производит регулировку усиления видеосигнала и определяет максимальный уровень белого. Регистр **Reg\_Level** используется для регулировки яркости только в режиме 8-битного ввода и, по сути своей, его значение является константой, вычитаемой из 10-битного кода АЦП при вводе видеосигнала.

Регистр определения амплитуды входного сигнала **ADC\_MinMax** позволяет за время ввода кадра определить минимальное и максимальное 8-битовые значения входного сигнала внутри строки статистики. Эти значения в дальнейшем могут быть использованы для корректировки содержимого регистров **Reg\_Gain** и **Reg\_Level** с целью оптимальной настройки яркости и контрастности вводимого изображения.

| Биты   | Описание   |
|--------|--|
| 7..0   | Минимальное значение входного сигнала, зафиксированное во время ввода последнего кадра.  |
| 15..8  | Максимальное значение входного сигнала, зафиксированное во время ввода последнего кадра. |
| 31..16 | Не используются  |

*Автоматическая регулировка яркости и контрастности* вводимого изображения заключается в нахождении таких значений регистров **Reg\_Gain** и **Reg\_Level**, при которых уровень входного видеосигнала растягивается на весь диапазон АЦП. При этом сигнал оценивается лишь в выбранной зоне интереса – в строке статистики, который может иметь размер от нескольких пикселей до полного кадра. Алгоритм автоматической регулировки состоит из двух шагов. Сначала при минимальном усилении ( $[\text{Reg\_Gain}] = 0$ ) определяются минимальное **ADC\_Min** и максимальное **ADC\_Max** значения сигнала за время ввода кадра. Затем рассчитываются оптимальные для данного сигнала значения регистров **Reg\_Gain** и **Reg\_Level** по следующим формулам:

$$[\text{Reg\_Level}] = 511 - \text{ADC\_Max} * K;$$

$$[\text{Reg\_Gain}] = (20 * \lg ( K ) / 18) * 255 * 0.995 \text{ или}$$

$$[\text{Reg\_Gain}] = (20 * 0.4343 * \ln ( K ) / 18) * 255 * 0.995$$

где  $K$  – коэффициент аналогового усиления, равный при 10-битном вводе  
 $K = 256 / \text{ADC\_Max}$ ;  
при 8-битном вводе  
 $K = 256 / (\text{ADC\_Max} - \text{ADC\_Min} + 1)$ ;  
если  $K * \text{ADC\_Max} > 511$ , то  $K$  необходимо ограничить значением  
 $K = 511 / \text{ADC\_Max}$ .

Регистром **ADC\_Offset** можно несколько изменить значение **ADC\_Min**. Однако, желательно, чтобы при настройках  $[\text{Reg\_Gain}] = 0$  и  $[\text{Reg\_Level}] = 255$  значение **ADC\_Min** не опускалось ниже 30.

#### 5.2.14. Регистр коммутации аналоговых входов.

Регистр **MUX\_A** осуществляет подключение одного из четырех аналоговых входов.

| Биты  | Описание  |       |             |     |   |     |   |
|-------|---|-------|-------------|-----|---|-----|---|
| 1..0  | Выбор аналогового входа<br><table border="1"> <thead> <tr> <th>D1 D0</th> <th>Номер входа</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>0</td> </tr> <tr> <td>0 1</td> <td>1</td> </tr> </tbody> </table> | D1 D0 | Номер входа | 0 0 | 0 | 0 1 | 1 |
| D1 D0 | Номер входа   |       |             |     |   |     |   |
| 0 0   | 0   |       |             |     |   |     |   |
| 0 1   | 1   |       |             |     |   |     |   |

|       |                 |   |
|-------|-----------------|---|
|       | 1 0             | 2 |
|       | 1 1             | 3 |
| 31..2 | Не используются |   |

### 5.2.15. Регистры настройки формата кадра.

| Аббревиатура регистра | Описание регистра  | Значение для сигнала стандарта CCIR |
|-----------------------|--|-------------------------------------|
| <b>Len_Line_All</b>   | Общая длина строки (количество пикселей в строке)                                      | 943                                 |
| <b>Beg_Line_Act</b>   | Количество пикселей от переднего фронта синхроимпульса до начала активной части строки | 159                                 |
| <b>Len_Line_Act</b>   | Длина активной части строки (в пикселах)   | 767                                 |
| <b>Beg_Field1_Act</b> | Номер строки, соответствующей началу активной части первого поля кадра                 | 21                                  |
| <b>Beg_Field2_Act</b> | Номер строки, соответствующей началу активной части второго поля кадра                 | *                                   |
| <b>Numb_Line_Act</b>  | Число активных строк кадра   | 575                                 |
| <b>Numb_Line_All</b>  | Число всех строк кадра   | 624                                 |
| <b>T_Line</b>         | Период строчной частоты (в тактах опорной 14.746 МГц частоты)                          | 943                                 |

В зависимости от значения бита D5 регистра **DAC\_Ctrl** регистры формата кадра определяют либо формат оцифровки кадра при вводе ТВ изображения (D5=1), либо формат кадра при выводе изображения на внешний монитор (D5=0).

В регистры **Len\_Line\_All**, **Beg\_Line\_Act**, **Len\_Line\_Act**, **Beg\_Field1\_Act**, **Beg\_Field2\_Act**, **Numb\_Line\_Act**, **Numb\_Line\_All** записываются значения на единицу меньше фактических.

Значение регистра **Beg\_Field2\_Act** зависит от типа развертки видеосигнала и начала активной части первого поля кадра. Для сигнала с чересстрочной разверткой значение регистра **Beg\_Field2\_Act** вычисляется по формуле:

$$[\text{Beg\_Field2\_Act}] = [\text{Numb\_Line\_All}] / 2 + [\text{Beg\_Field1\_Act}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Beg\_Field2\_Act** записывается то же значение, что и в регистр **Beg\_Field1\_Act**.

В регистр **T\_Line** записывается значение периода строчной частоты сигнала в тактах опорной частоты 14.746 МГц:

$$[\text{T\_Line}] = \text{int} ( \text{T} * 14.746 ) - 1, \quad \text{где } \text{T} - \text{период строчной частоты в микросекундах}$$

Все перечисленные регистры имеют разрядность 11 бит (максимальное значение 2047). Однако при выборе формата кадра необходимо учитывать следующие ограничения:

- длина активной части строки должна быть кратна 16;
- максимальный размер активной части кадра, равный произведению  $[\text{Len\_Line\_Act}] * [\text{Numb\_Line\_Act}]$ , должен быть не более 1 МБ при выводе изображения или вводе его без накопления, и не более 512 КБ при вводе изображения с накоплением кадров.

Регистр **PLL\_Ctrl** служит для настройки ФАПЧ генератора частоты оцифровки входного/выходного видеосигнала. Значения битов регистра в зависимости от частоты оцифровки, т.е. отношения общей длины строки в пикселях – L (регистр **Len\_Line\_All**) к периоду строчной частоты сигнала в микросекундах – L/T (T = 64 мкс), указаны в таблице.

| Биты | L / T | Значение        |
|------|-------|-----------------|
| 7..0 | –     | Не используются |
|      | >22   | 00              |

| Биты   | L / T  | Значение  |
|--------|--------|---|
|        | >22    | 00  |
|        | 12..22 | 00  |
|        | < 8    | 11  |
| 11..10 | –      | Не используются   |
| 12     | –      | Переключение полосы захвата ФАПЧ:<br>0 - используется при стабильном входном сигнале<br>1 - используется при неустойчивой синхронизации |
| 31..13 | –      | Не используются   |

### 5.2.16. Регистры настройки формата строба статистики.

| Аббревиатура регистра | Описание регистра   |
|-----------------------|---|
| <b>Strob_L</b>        | Количество пикселей от левой границы кадра до левой границы строба                  |
| <b>Strob_R</b>        | Количество пикселей от левой границы кадра до правой границы строба                 |
| <b>Strob_U</b>        | Количество пикселей от верхней границы первого поля кадра до верхней границы строба |
| <b>Strob_D</b>        | Количество пикселей от верхней границы первого поля кадра до нижней границы строба  |

Строб статистики используется для задания некоторой прямоугольной области внутри кадра, где будут вычисляться минимальные и максимальные значения уровня входного сигнала. Размер и положение строба может быть произвольным, но не выходящим за границы кадра при прогрессивной развертке или за границы первого поля кадра при чересстрочной развертке. Это означает, что для сигнала с чересстрочной разверткой в регистры **Strob\_U** и **Strob\_D** записываются значения в два раза меньшие фактических, поскольку во втором поле кадра строб будет повторен с теми же параметрами что и в первом.

Границы строба при вводе изображения можно прорисовать, включив бит D5 в регистре **ADC\_Ctrl**.

При любом изменении формата кадра размер строба автоматически становится равным размеру кадра. Поэтому, для восстановления прежних границ строба потребуется повторно запрограммировать регистры формата строба, не забыв при этом проверить значения параметров на допустимый диапазон.

### 5.2.17. Регистры цифровой обработки входного сигнала (пока нет).

Регистр **ADC\_DSP** осуществляет управление цифровой обработкой ТВ сигнала, поступающего от подсистемы ввода изображения.

| Биты  | Описание  |    |                               |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
|-------|---|----|-------------------------------|----|--|---|---|---|-------------------------------|---|---|---|-----------------------|---|---|---|-------------------------|---|---|---|-----------------------------|---|---|---|----------------------------|---|---|---|-----------------------------|
| 1..0  | Выбор банка в качестве второго операнда для DSP обработки (выбор активного DSP банка)   |    |                               |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 3..2  | Не используются   |    |                               |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 6..4  | Выбор функции DSP обработки:<br><table border="0"> <thead> <tr> <th>D2</th> <th>D1</th> <th>D0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>- ввод без цифровой обработки</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>- вычитание DSP банка</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>- сложение с DSP банком</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>- операция AND с DSP банком</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>- операция OR с DSP банком</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>- операция XOR с DSP банком</td> </tr> </tbody> </table> | D2 | D1                            | D0 |  | 0 | 0 | 0 | - ввод без цифровой обработки | 0 | 1 | 1 | - вычитание DSP банка | 1 | 0 | 0 | - сложение с DSP банком | 1 | 0 | 1 | - операция AND с DSP банком | 1 | 1 | 0 | - операция OR с DSP банком | 1 | 1 | 1 | - операция XOR с DSP банком |
| D2    | D1  | D0 |                               |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 0     | 0   | 0  | - ввод без цифровой обработки |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 0     | 1   | 1  | - вычитание DSP банка         |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 1     | 0   | 0  | - сложение с DSP банком       |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 1     | 0   | 1  | - операция AND с DSP банком   |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 1     | 1   | 0  | - операция OR с DSP банком    |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 1     | 1   | 1  | - операция XOR с DSP банком   |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |
| 31..7 | Не используются   |    |                               |    |  |   |   |   |                               |   |   |   |                       |   |   |   |                         |   |   |   |                             |   |   |   |                            |   |   |   |                             |

Изображение, используемое в качестве второго операнда, должно быть записано в активный DSP банк в 12-ти разрядном виде.

В видеопроцессоре реализованы следующие функции цифровой обработки:

- *вычитание двух кадров.* В качестве вычитаемого используется изображение из DSP банка;
- *сложение двух кадров.* Для исключения переполнения разрядной сетки операнды перед сложением делятся на 2;
- *наложение пространственной маски AND, OR, XOR.*

Набор функций может быть изменен или дополнен по согласованию с заказчиком.

Регистр **Reg\_Accum** осуществляет управление *режимом накопления кадров* входного ТВ сигнала, а также режимом усреднения двух полей кадра. Если задана какая-либо функция цифровой обработки, то она выполняется в конечной стадии режима накопления при вводе последнего кадра.

| Биты    | Описание  |    |              |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
|---------|---|----|--------------|----|--|---|---|---|-----------|---|---|---|-----------|---|---|---|------------|---|---|---|-------------|---|---|---|------------|---|---|---|------------|---|---|---|--------------|---|---|---|--------------|
| 4, 1..0 | Выбор количества накапливаемых кадров:<br><table style="margin-left: 20px;"> <thead> <tr> <th>D4</th> <th>D1</th> <th>D0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>- 2 кадра</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>- 4 кадра</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>- 8 кадров</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>- 16 кадров</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>- 32 кадра</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>- 64 кадра</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>- 128 кадров</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>- 256 кадров</td> </tr> </tbody> </table> | D4 | D1           | D0 |  | 0 | 0 | 0 | - 2 кадра | 0 | 0 | 1 | - 4 кадра | 0 | 1 | 0 | - 8 кадров | 0 | 1 | 1 | - 16 кадров | 1 | 0 | 0 | - 32 кадра | 1 | 0 | 1 | - 64 кадра | 1 | 1 | 0 | - 128 кадров | 1 | 1 | 1 | - 256 кадров |
| D4      | D1  | D0 |              |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 0       | 0   | 0  | - 2 кадра    |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 0       | 0   | 1  | - 4 кадра    |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 0       | 1   | 0  | - 8 кадров   |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 0       | 1   | 1  | - 16 кадров  |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 1       | 0   | 0  | - 32 кадра   |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 1       | 0   | 1  | - 64 кадра   |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 1       | 1   | 0  | - 128 кадров |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 1       | 1   | 1  | - 256 кадров |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 2       | Включение режима накопления кадров  |    |              |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 3       | Включение режима усреднения полей кадра   |    |              |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |
| 31..5   | Не используются   |    |              |    |  |   |   |   |           |   |   |   |           |   |   |   |            |   |   |   |             |   |   |   |            |   |   |   |            |   |   |   |              |   |   |   |              |

В режиме накопления кадров выдача прерываний от подсистемы ввода осуществляется по каждому введенному кадру, а бит готовности (бит D0 регистра **Reg\_Stat**) будет установлен по окончании ввода последнего из серии накапливаемых кадров. Процесс накопления можно принудительно остановить, сбросив бит D8 регистра **ADC\_Ctrl**. В зависимости от условий поставки максимальное количество накапливаемых кадров может быть 16 или 256.

В режиме усреднения полей кадра фиксация входного сигнала осуществляется в адресном пространстве только первого поля кадра. Поэтому при выполнении DMA нужно установить чересстрочный способ передачи данных, а в регистры **Mem\_Addr** и **Mem\_Addr1** записать адрес первой (при чтении/записи строк сверху вниз) или последней (при чтении/записи строк снизу вверх) строки первого поля кадра.

#### Пока нет.

В качестве альтернативы режиму накопления кадров в видеопроцессоре может использоваться *рекурсивный фильтр*, позволяющий осуществлять ввод кадров в реальном времени. В этом случае результирующее изображение в n-ом кадре вычисляется следующим образом:

$$Y_n = (1/k) * X_n + (1 - 1/k) * Y_{n-1}, \text{ где } Y_n \text{ – результирующее изображение в n-ом кадре;}$$

$$X_n \text{ – оцифрованное изображение в n-ом кадре;}$$

$$Y_{n-1} \text{ – результирующее изображение в n-1-ом кадре;}$$

$$k \text{ – коэффициент рекурсии } (2 \leq k \leq 128).$$

Коэффициент рекурсии определяет динамику обновления информации при вводе изображения: чем выше коэффициент рекурсии, тем медленнее меняется результирующее изображение и тем лучше происходит фильтрация некоррелированных шумов.

Управление режимом рекурсивной фильтрации осуществляется регистром **Reg\_RC**.

Для исключения погрешности определения результирующего изображения все промежуточные результаты вычислений при оцифровке нового кадра заносятся в специальный банк памяти видеопроцессора – RC банк (см. п. 5.3).

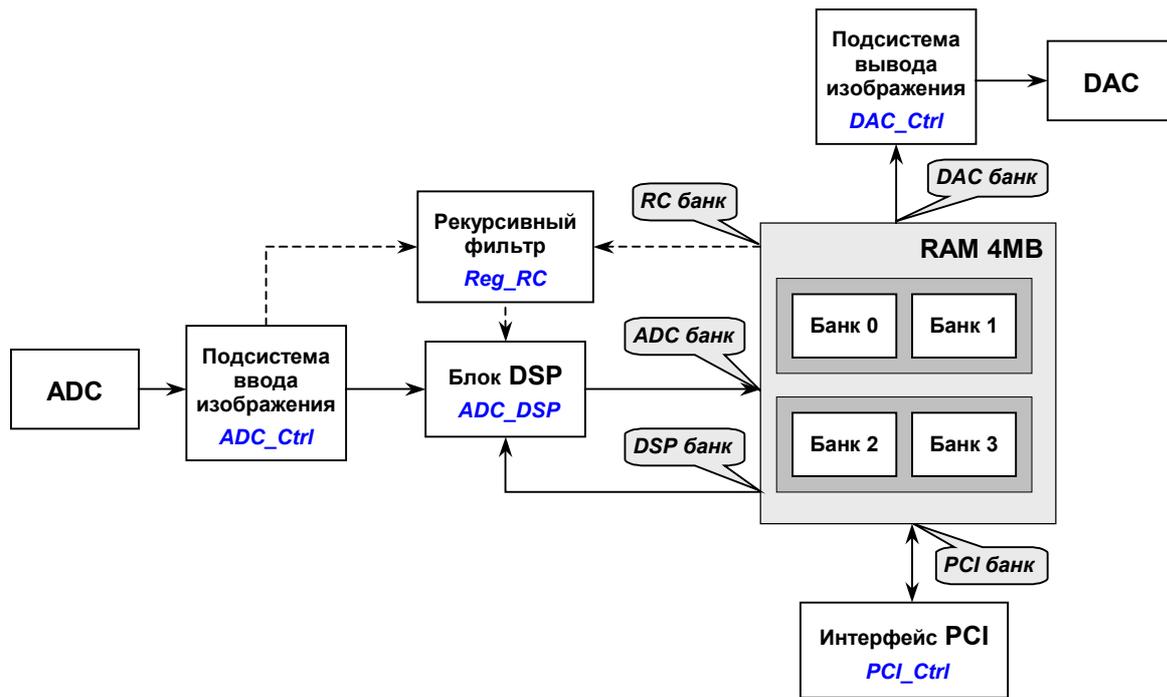
| Биты  | Описание   |    |                    |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
|-------|--|----|--------------------|----|----------------|---|---|---|--------------------|---|---|---|-----|---|---|---|-----|---|---|---|-----|---|---|---|------|---|---|---|------|---|---|---|------|---|---|---|-------|
| 1..0  | Выбор номера банка для хранения промежуточных результатов рекурсии (выбор RC банка)  |    |                    |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 3..2  | Не используются  |    |                    |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 6..4  | Определение коэффициента рекурсии:<br><table border="1"> <thead> <tr> <th>D6</th> <th>D5</th> <th>D4</th> <th>Коэф. рекурсии</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>- 1 (нет рекурсии)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>- 2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>- 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>- 8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>- 16</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>- 32</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>- 64</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>- 128</td> </tr> </tbody> </table> | D6 | D5                 | D4 | Коэф. рекурсии | 0 | 0 | 0 | - 1 (нет рекурсии) | 0 | 0 | 1 | - 2 | 0 | 1 | 0 | - 4 | 0 | 1 | 1 | - 8 | 1 | 0 | 0 | - 16 | 1 | 0 | 1 | - 32 | 1 | 1 | 0 | - 64 | 1 | 1 | 1 | - 128 |
| D6    | D5   | D4 | Коэф. рекурсии     |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 0     | 0  | 0  | - 1 (нет рекурсии) |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 0     | 0  | 1  | - 2                |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 0     | 1  | 0  | - 4                |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 0     | 1  | 1  | - 8                |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 1     | 0  | 0  | - 16               |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 1     | 0  | 1  | - 32               |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 1     | 1  | 0  | - 64               |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 1     | 1  | 1  | - 128              |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |
| 31..7 | Не используются  |    |                    |    |                |   |   |   |                    |   |   |   |     |   |   |   |     |   |   |   |     |   |   |   |      |   |   |   |      |   |   |   |      |   |   |   |       |

Включение режима рекурсивной фильтрации отменяет режимы накопления кадров и усреднения полукадров.

### 5.3. Организация внутреннего буфера памяти.

Внутренний буфер памяти RT-824 имеет объем 4 Мбайт и состоит из 4 банков по 1 Мбайт. Каждый банк используется для записи и хранения одного телевизионного кадра.

Логика работы видеопроцессора предполагает одновременное обращение к внутренней памяти со стороны нескольких подсистем устройства. При захвате видеосигнала данные от аналого-цифрового преобразователя (ADC) сначала через подсистему ввода изображения заносятся в банк памяти, определяемый регистром **ADC\_Ctrl**. Если при этом задействована какая-либо функция цифровой обработки, то в качестве второго операнда используются данные из банка, определяемого регистром **ADC\_DSP**. После оцифровки всего кадра данные могут передаваться через шину PCI в оперативную память компьютера или через подсистему вывода изображения на цифро-аналоговый преобразователь (DAC) и далее на ВКУ.



Банк памяти, непосредственно участвующий в одном из перечисленных выше процессов, называется активным. Таким образом, в устройстве может быть несколько активных банков, которые условно назовем *PCI*, *ADC* и *DAC активными банками*. Номера активных банков определяются соответственно битами D[1..0] регистров *PCI\_Ctrl*, *ADC\_Ctrl* и *DAC\_Ctrl*.

При использовании рекурсивной фильтрации в памяти видеопроцессора выделяется еще один банк, предназначенный для хранения промежуточных результатов рекурсии – *RC банк*. Его номер определяется битами D[1..0] регистра *Reg\_RC*.

Назначение активных банков при вводе и выводе одиночных кадров может быть любым. Достаточно, например, использовать нулевой банк в качестве *активного ADC* банка для оцифровки кадра и в качестве *активного PCI* банка для последующей передачи его через шину PCI.

При вводе или выводе непрерывного потока кадров манипулирование активными банками памяти должно подчиняться определенному правилу: оцифровка или вывод телевизионного изображения осуществляются в банке отличном от банка, выбранного в данный момент для передачи данных по шине PCI. Это позволит избежать пропуска кадров при вводе и выводе изображения.

При работе с кадрами, размер которых превышает 1 МБ, банки памяти с номерами 0-1 и 2-3 объединяются попарно в два банка по 2 МБ. Если в процессе записи данных произойдет переполнение банка с номером 0 или 2, то далее будет автоматически заполняться следующий по номеру банк – 1 или 3. Этот факт надо учесть при организации конвейера записи данных.

*Обмен данными* на шине PCI может проходить в двух режимах: MASTER и TARGET. В режиме TARGET передача данных осуществляется с помощью простых языковых операторов типа “*copy*”. В режиме MASTER задействован механизм прямого доступа к памяти (DMA). Скорость передачи данных в режиме MASTER примерно в шесть раз больше и составляет 60 Мбайт/сек.

При обмене данными в режиме TARGET каждый банк памяти делится на 64 (или на 128 в случае объединения банков) окна. Одно окно является частью адресного пространства оперативной памяти компьютера размером 16 КБайт и начальным адресом, сдвинутым на 16 КБайт вверх относительно адреса, указанного в первом базовом адресном регистре

конфигурационного заголовка платы. Например, если базовый адрес равен 000D0000h, то окно памяти, через которое будет вестись обмен данными, составит диапазон 000D4000h – 000D7FFFh. Номер окна памяти (от 0 до 127), подключенного к адресному пространству компьютера, определяется битами D[9..3] регистра **PCI\_Ctrl**.

При обмене данными в режиме MASTER (или DMA) внутренний буфер памяти видео-процессора на адресное пространство оперативной памяти компьютера не отображается. Банк памяти представляет собой единое целое и может быть записан или считан целиком за один раз. Обмен данными в режиме DMA будет рассмотрен ниже.

При фиксации изображения во внутреннем буфере памяти строки ТВ кадра располагаются последовательно друг за другом – сначала строки первого поля, затем второго. При передаче изображения в оперативную память компьютера для восстановления правильного чередования строк можно использовать чересстрочный обмен данными (то же относится и к выводу изображения на внешний монитор).

Замечание. При необходимости размер кадра можно расширить до 2 МВ, задав соответствующий формат ввода/вывода. В этом случае телевизионный кадр будет располагаться сразу в двух смежных банках: 0-1, либо 2-3. Этот факт необходимо будет учитывать при выборе алгоритма работы устройства.

## **6. Инициализация платы.**

После включения питания компьютера или нажатия кнопки “RESET” необходимо выполнить начальную инициализацию платы RT-824, т.е. записать нужную информацию в ее конфигурационный заголовок. Процесс инициализации будет зависеть от типа операционной системы, под управлением которой работает плата. Рассмотрим инициализацию платы при работе под управлением MS-DOS.

Для доступа к конфигурационным заголовкам PCI устройств существуют два стандартных 32-разрядных порта ввода-вывода, закрепленных за арбитром шины PCI, и называемых **CONFIG\_ADDRESS** (адрес 0CF8h) и **CONFIG\_DATA** (адрес 0CFCh). Формат регистра **CONFIG\_ADDRESS** следующий:

|    |                        |  |  |  |  |    |            |  |  |  |  |  |                  |    |  |  |               |  |                |    |  |   |   |  |  |  |  |  |  |   |
|----|------------------------|--|--|--|--|----|------------|--|--|--|--|--|------------------|----|--|--|---------------|--|----------------|----|--|---|---|--|--|--|--|--|--|---|
| 31 | 30                     |  |  |  |  | 24 | 23         |  |  |  |  |  | 16               | 15 |  |  |               |  | 11             | 10 |  | 8 | 7 |  |  |  |  |  |  | 0 |
| 1  | Зарезервировано<br>= 0 |  |  |  |  |    | Номер шины |  |  |  |  |  | Номер устройства |    |  |  | Номер функции |  | Номер регистра |    |  |   |   |  |  |  |  |  |  |   |

где, **номер шины** – номер шины PCI, к которой подключена плата RT-824;

**номер устройства** – число от 0 до 31, соответствующее слоту расширения шины PCI, в котором установлена плата RT-824;

**номер функции** – для платы RT-824 значение равно 0;

**номер регистра** – число от 0 до 60 кратное 4, указывающее на смещение в конфигурационном заголовке платы RT-824, куда будет произведено обращение при последующем чтении/записи регистра **CONFIG\_DATA**.

Сначала в порт **CONFIG\_ADDRESS** записываются координаты того регистра конфигурационного заголовка, к которому необходимо произвести обращение. Затем производится чтение или запись данных в этот регистр через порт **CONFIG\_DATA**. Например, если требуется записать в базовый адресный регистр значение 000D0000h, а за RT-824 закреплен номер устройства 10h, то сначала в порт **CONFIG\_ADDRESS** записывается число 80008010h, а затем в порт **CONFIG\_DATA** – число 000D0000h. Необходимо помнить, что все операнды в операциях ввода/вывода должны быть 32-х разрядными (в реальном режиме процессора этого можно добиться, проставляя в ассемблерном тексте префикс 66h).

Процесс инициализации состоит из нескольких этапов:

- определение номера шины и номера устройства, закрепленного за платой RT-824;
- запись базовых адресов памяти и ввода-вывода в соответствующие регистры конфигурации;
- включение платы в пространство памяти и включение режима MASTER установкой в “1” битов D2, D1 в регистре **Command** конфигурационного заголовка.

Рекомендуемый для MS-DOS базовый адрес памяти – D0000h. При этом в файле CONFIG.SYS при загрузке драйвера EMM386.EXE необходимо выключить соответствующую область верхней памяти строкой:

**DEVICE = C:\DOS\EMM386.EXE NOEMS X=D000-D7FF**

В качестве примера в файле INIT.PAS приведен текст программы инициализации, написанной на языке Паскаль (Borland Pascal 7.0).

## **7. Обмен данными в режиме DMA.**

Обмен данными в режиме DMA состоит из двух этапов – старта процесса DMA и последующего получения подтверждения об его завершении.

### **7.1. Основной старт DMA.**

Основной старт DMA выполняется каждый раз, когда требуется передать кадр изображения из внутренней памяти устройства в оперативную память компьютера или обратно за один цикл, либо в начальной фазе при передаче кадра частями. В этом случае необходимы следующие действия:

- 1). Программируется регистр **DMA\_Ctrl**.
- 2). Программируются регистры **Mem\_Addr**, **Mem\_Addr1** и **DMA\_Line**. Значения, записываемые в регистры, должны быть кратны 16.
- 3). Программируется регистр .
- 4). Последним программируется регистр **DMA\_Addr**. После операции записи в этот регистр начинается процесс DMA.

Контроллер DMA, реализованный в RT824, выдает запрос на шину PCI и после получения подтверждения на захват шины, начинает передачу данных блоками до 256 байт (длина блока определяется значением конфигурационного регистра **Latency Timer**). После передачи каждого блока шина PCI освобождается на время примерно равное времени передачи блока. Процесс DMA заканчивается, когда счетчик количества переданных байт достигнет значения, записанного в регистр **DMA\_Byte**.

### **7.2. Промежуточный старт DMA.**

Промежуточный старт DMA выполняется повторно, если передача кадра ведется частями. В этом случае необходимы следующие действия:

- 1). Программируется регистр **DMA\_Byte**. Если количество передаваемых данных не изменилось по сравнению с предыдущим стартом – регистр можно не программировать.
- 2). Программируется регистр **DMA\_Addr**.

### **7.3. Завершение процесса DMA.**

Получение подтверждения о завершении DMA происходит либо по прерыванию, либо при постоянном опросе регистров **Reg\_Stat** или **Reg\_Events**.

- 1). При получении прерывания (если оно было разрешено) прочитать регистр **Reg\_Events** и убедиться, что прерывание пришло от контроллера DMA и процесс DMA за-

кончился корректно (бит D0 = 1). При чтении регистра **Reg\_Events** прерывание снимается, а бит D0 сбрасывается. Необходимо помнить, что при чтении регистра **Reg\_Events** все остальные биты событий сбрасываются.

2). Завершение DMA можно определить также и без прерывания – по регистру состояния **Reg\_Stat** (бит D6=0).

Важное замечание:

Получение прерывания от устройства при окончании DMA фактически означает высвобождение шины PCI, однако, внутренние процессы в устройстве могут еще некоторое время продолжаться (до 10 мкс). Полное завершение DMA контролируется по биту D6 регистра **Reg\_Stat**.

## **8. Ввод изображения в режиме внешнего запуска.**

Ввод изображения может быть синхронизирован с внешним ТТЛ сигналом, подключенным к одной из линий цифрового интерфейса платы. При этом алгоритм ввода кадров будет определяться характером подаваемого сигнала запуска и требуемым временем реакции на него.

Самым простым способом синхронизации ввода с запускающим сигналом является чтение регистра **Reg\_DIO**, проверка логического уровня на соответствующей цифровой линии и при обнаружении, например, логической 1 осуществление фиксации кадра во внутреннем буфере платы и дальнейшей перекачки его в оперативную память компьютера. Однако, если сигнал запуска достаточно короткий (меньше периода опроса регистра **Reg\_DIO**), то он может быть пропущен.

В случае, если сигнал запуска имеет импульсный характер или требуется быстрая реакция системы, можно воспользоваться другим способом. В регистре **Syst\_Ctrl** установкой соответствующего бита разрешить прерывание по изменению логического состояния на цифровой линии, к которой подключен сигнал запуска. Тогда при обнаружении переднего или заднего фронта этого сигнала в регистре событий **Reg\_Events** установится бит D5, который либо вызовет прерывание (если они были разрешены битом D0 регистра **Syst\_Ctrl**), либо просто зафиксирует факт прихода импульса запуска. При чтении регистра **Reg\_Events** все биты зафиксированных ранее событий (в том числе и D5) сбросятся.

## **9. Включение платы.**

Плата подключается к ЭВМ через свободный разъем (слот) расширения шины PCI на материнской плате. Минимальная конфигурация: Pentium, оперативная память - 16 Мб, SVGA карта с памятью не менее 1 Мб, SVGA монитор, поддерживающий разрешение 1024 \* 768.

**До включения питания общие шины источника TV сигнала, компьютера, внешнего монитора (ВКУ) должны быть соединены вместе (заземлены). В противном случае возможен выход изделия из строя из-за разности потенциалов фаз электропитания.**

**Для исключения возможных наводок от электрической сети рекомендуется подключение всех компонентов системы к одной фазе электропитания.**

На плате имеются три разъема в отверстиях на крепежной планке. Дальний от системного разъема PCI - вход ТВ сигнала, ближний - выход на внешний монитор (ВКУ), подключение монитора не является обязательным. Средний, пятнадцатипырьковый разъем предназначен для обеспечения работы платы от внешней синхронизации, дублирования входного

и выходного разъёма ТВ сигнала, а так же для управления платой от внешнего устройства, например, кнопки.

**Таблица 3**

| Контакт | Цель    | Контакт  | Цель               | Контакт | Цель   |
|---------|---------|----------|--------------------|---------|--------|
| 1       | I/O-1   | 5        | TV-IN-1            | 11      | I/O-3  |
| 2       | TV-IN-4 | 6        | I/O-2              | 12      | +12V   |
| 3       | TV-IN-3 | 7        | I/O-4              | 14      | +5V    |
| 4       | TV-IN-2 | 8, 9, 10 | Земля (аналоговая) | 13, 15  | Корпус |

## **10. Гарантийные обязательства.**

ООО «РАСТР ТЕХНОЛОДЖИ» осуществляет бесплатный гарантийный ремонт продукции в течение 12 месяцев от даты продажи, сопровождение и консультации по работе с видеоплатой. Гарантия не распространяется на ущерб, причинённый другому оборудованию, работающему в сопряжении с данным изделием. Срок гарантии увеличивается на время нахождения изделий в ремонте.

Гарантийные обязательства аннулируются в случае, если:

- отсутствует или оторвана гарантийная наклейка;
- на плате был произведен любой неавторизованный ООО «РАСТР ТЕХНОЛОДЖИ» ремонт или её модификация;
- неисправности вызваны неправильной эксплуатацией платы (механические повреждения, неправильное включение, отсутствие заземления и т.п.);
- неисправности вызваны неправильной эксплуатацией оборудования, в том числе:
  - эксплуатация в сильно запылённых помещениях;
  - неправильное подключение дополнительного оборудования;
  - использование питания с характеристиками, отличными от допустимых;
  - изделие было установлено и использовано иначе, чем указано в инструкции по эксплуатации.

Недополученная в связи с появлением неисправности прибыль и другие косвенные расходы не подлежат возмещению.

**По вопросам эксплуатации и ремонта обращайтесь по телефону ООО "РАСТР ТЕХНОЛОДЖИ" в Москве**

 (095) #425-73.26, E-mail: raster-msk@mtu-net.ru

## Приложение 1. Демонстрационная программа RT824.exe

### П.1. Запуск программы.

Программа RT824.exe работает под управлением MS-DOS. Если на компьютере установлена система Windows 95,98,2000, то запуск программы может быть осуществлен при полной перезагрузке Windows в режиме MS-DOS (но не в режиме эмуляции DOS). Перед запуском программы необходимо загрузить драйверы реального режима HIMEM и EMM386, руссификаторы клавиатуры и дисплея, причем в драйвере EMM386 необходимо выключить область памяти D000–D7FF. Рекомендуемый в этом случае состав файлов **config.sys** и **autoexec.bat** будет выглядеть следующим образом:

#### **Config.sys**

```
device=C:\WINDOWS\HIMEM.SYS
device=C:\WINDOWS\EMM386.EXE X=D000-D7FF
device=C:\WINDOWS\COMMAND\display.sys con=(ega,,1)
Country=007,866,C:\WINDOWS\COMMAND\country.sys
```

#### **Autoexec.bat**

```
mode con codepage prepare=((866) C:\WINDOWS\COMMAND\lega3.cpi)
mode con codepage select=866
keyb ru,,C:\WINDOWS\COMMAND\keybrd3.sys
```

Если при запуске программы RT824.exe выдается сообщение “**NO RAM**”, то это означает, что в памяти компьютера находятся резидентные драйверы или программы, которые необходимо будет либо выгрузить, либо перенести в верхнюю область памяти. Программа также не запустится, если плата в компьютер не установлена. При этом будет выдано сообщение “**No RT824 card on PCI bus**”.

После прохождения теста памяти программа переходит в основной режим работы – режим “**ФИКСАЦИЯ КАДРОВ**”. Все управление программой, в том числе и выбор режимов работы, осуществляется с помощью горячих клавиш (без использования меню и мыши).

### П.2. Режим “ФИКСАЦИЯ КАДРОВ”.

В этом режиме осуществляется непрерывный ввод телевизионного сигнала в оперативную память компьютера с одновременным просмотром вводимого изображения на мониторе ПЭВМ. При этом на мониторе отображается количество введенных кадров, время ввода одного кадра в миллисекундах и скорость ввода кадров. Под вводом кадра подразумевается фиксация кадра во внутреннем буфере памяти платы и дальнейшая его пересылка в оперативную память ПЭВМ через шину PCI. Следующий введенный кадр стирает предыдущий, так что при останове ввода информация сохраняется лишь о последнем введенном кадре.

В этом режиме также можно осуществлять регулировку яркости (смещения постоянной составляющей – DC) и контрастности (усиления) вводимого изображения.

| Клавиши управления | Описание   |
|--------------------|--|
| <b>S</b>           | Старт непрерывного ввода изображения                                   |
| <b>E</b>           | Останов ввода  |
| <b>Пробел</b>      | Одиночный ввод телевизионного кадра                                    |
| <b>6</b>           | Увеличение контрастности вводимого изображения                         |
| <b>4</b>           | Уменьшение контрастности вводимого изображения                         |
| <b>+</b>           | Увеличение яркости вводимого изображения                               |
| <b>-</b>           | Уменьшение яркости вводимого изображения                               |
| <b>A</b>           | Автоматическая настройка яркости и контрастности вводимого изображения |
| <b>0</b>           | Отключение режима накопления кадров                                    |

| Клавиши управления | Описание  |
|--------------------|---|
| <b>1</b>           | Включение режима накопления 2 кадров  |
| <b>2</b>           | Включение режима накопления 4 кадров  |
| <b>3</b>           | Включение режима накопления 8 кадров  |
| <b>5</b>           | Включение режима накопления 16 кадров   |
| <b>7,8,9</b>       | Включение режима накопления 32, 64, 128 кадров (опционально)  |
| <b>F</b>           | Включение/выключение режима усреднения полей кадра  |
| <b>I</b>           | Включение/выключение чересстрочного режима чтения/записи изображения  |
| <b>Pg_Up</b>       | Переключение платы на ввод изображения (сквозной канал на вывод)  |
| <b>Pg_Down</b>     | Переключение платы на вывод изображения из внутреннего буфера памяти  |
| <b>Ctrl F1</b>     | Установка формата кадра по умолчанию для стандарта CCIR   |
| <b>Ctrl F4</b>     | Установка формата кадра вручную. Последовательно вводятся значения параметров в секциях <b>ВХОДНОЙ СИГНАЛ /ВЫХОДНОЙ СИГНАЛ</b> и <b>ФОРМАТ ВВОДА/ФОРМАТ ВЫВОДА</b> . При нажатии Esc или Enter без числа сохраняется старое значение параметра. |
| <b>Esc</b>         | Выход из программы  |
| <b>F1</b>          | Подсказка   |

При отсутствии сигнала на входе платы выдается сообщение “**Нет видео**”. Если поданный на вход сигнал не соответствует нужному стандарту, то выдается сообщение “**Нет ввода**”.

### П.3. Режим “ЗАПИСЬ СЕРИИ КАДРОВ”.

Этот режим позволяет осуществлять запись телевизионного изображения на жёсткий диск ПЭВМ. Формат кадра записываемого изображения определяется в секции **ФОРМАТ ВВОДА**. При входе в режим выдаются следующие запросы:

- количество вводимых кадров;
- имя файла, в который будет записываться изображение;
- подтверждение о начале записи.

| Клавиши управления | Описание   |
|--------------------|--|
| <b>Ctrl W</b>      | Вход в режим <b>ЗАПИСЬ СЕРИИ КАДРОВ</b>          |
| <b>Enter</b>       | Подтверждение ввода параметров или начала записи |
| <b>Y</b>           | Подтверждение начала записи                      |
| <b>N</b>           | Отказ от начала записи (выход из режима)         |
| <b>Esc</b>         | Выход из режима записи                           |

Если при запросе ввода очередного параметра нажать клавишу Enter, то будет сохранено старое значение этого параметра. Максимальное количество вводимых кадров для формата 768x576 – 4854. Имя файла должно состоять не более чем из двенадцати символов (включая расширение). Размер файла не может превышать 2ГБ.

Процесс записи сопровождается выводом информации о количестве записанных кадров. По окончании процесса записи на монитор выводится сообщение об общем времени и средней скорости записи изображения на диск.

Формат записанного файла – последовательность примыкающих друг к другу кадров без заголовка (в каждом кадре один пиксель представлен одним байтом).

### П.4. Режим “ЧТЕНИЕ СЕРИИ КАДРОВ”.

Этот режим позволяет просматривать на мониторе ПЭВМ и внешнем ВКУ записанное на жестком диске телевизионное изображение.

Формат кадра считываемого изображения определяется в секции **ФОРМАТ ВВОДА**. При входе в режим **ЧТЕНИЕ СЕРИИ КАДРОВ** программа запрашивает имя файла, под-

тверждение о просмотре изображение на внешнем ВКУ и затем выводит первый кадр телевизионного изображения из этого файла. Далее просмотр может осуществляться по одному кадру или непрерывно.

| Клавиши управления | Описание  |
|--------------------|---|
| <b>Ctrl R</b>      | Вход в режим <b>ЧТЕНИЕ СЕРИИ КАДРОВ</b>                       |
| <b>Y</b>           | Подтверждение дублирования вывода изображения на внешнем ВКУ  |
| <b>1</b>           | Вывод нечетных полукадров                                     |
| <b>2</b>           | Вывод четных полукадров                                       |
| <b>0</b>           | Вывод полных кадров   |
| <b>S</b>           | Старт непрерывного вывода изображения                         |
| <b>E</b>           | Останов непрерывного вывода изображения                       |
| <b>Home</b>        | Переход к первому кадру                                       |
| <b>End</b>         | Переход к последнему кадру                                    |
| <b>N</b>           | Переход к заданному кадру (ввести номер кадра и нажать Enter) |
| <b>&gt;</b>        | Переход к следующему кадру                                    |
| <b>&lt;</b>        | Переход к предыдущему кадру                                   |
| <b>Esc</b>         | Выход из режима просмотра изображения                         |

### **П.5. Режим “ЗАПИСЬ КАДРА”.**

Этот режим позволяет записать на жесткий диск содержимое внутреннего буфера платы в виде одного кадра изображения (формат записи – байт на пиксель без заголовка) .

При входе в режим записи кадра программа запрашивает имя файла, номер банка памяти, откуда будет производиться запись, и затем выводит результат: файл записан или нет. По клавише ”Esc” можно отказаться от записи кадра.

| Клавиши управления | Описание                  |
|--------------------|---------------------------|
| <b>Ctrl S</b>      | Вход в режим записи кадра |
| <b>Esc</b>         | Отказ от записи кадра     |

### **П.6. Режим “ЧТЕНИЕ КАДРА”.**

Этот режим аналогичен режиму просмотра изображения с той лишь разницей, что на монитор ПЭВМ и внешнее ВКУ выводится только первый кадр изображения, записанного на жестком диске.

| Клавиши управления | Описание                     |
|--------------------|------------------------------|
| <b>Ctrl L</b>      | Вход в режим просмотра кадра |
| <b>Esc</b>         | Отказ от просмотра кадра     |