

РАСТР ТЕХНОЛОДЖИ

**Устройство ввода-вывода
телевизионных изображений
RT-821**

Техническое описание и инструкция по эксплуатации

© Москва 2002

ОГЛАВЛЕНИЕ

1. НАЗНАЧЕНИЕ.....	3
2. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ.....	3
3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ УСТРОЙСТВА.....	4
4. РЕЖИМЫ РАБОТЫ ИЗДЕЛИЯ.....	4
5. ПОТРЕБЛЯЕМЫЕ РЕСУРСЫ.....	5
5.1. РЕГИСТРЫ КОНФИГУРАЦИИ ШИНЫ PCI.....	5
5.2. ОПЕРАЦИОННЫЕ РЕГИСТРЫ.....	7
5.2.1. System Control Register.....	8
5.2.2. DMA Control Register.....	8
5.2.3. DMA Address Counter Register.....	9
5.2.4. DMA Byte Counter Register.....	9
5.2.5. Events Register.....	9
5.2.6. Status Register.....	9
5.2.7. Регистр цифрового ввода-вывода.....	10
5.2.8. Memory Buffer Address Register, Memory Buffer Address Register_1, DMA Line Register.....	10
5.2.9. Memory Initialization Register.....	11
5.2.10. PCI Control Register.....	11
5.2.11. Регистр управления подсистемой ввода изображения.....	11
5.2.12. Регистр управления подсистемой вывода изображения.....	12
5.2.13. Регистры усиления и смещения уровня черного входного сигнала,..... регистр определения амплитуды входного сигнала.....	12
5.2.14. Analog Input Register (регистр коммутации входных аналоговых сигналов).....	12
5.2.15. Регистры входного/выходного формата кадра.....	13
5.2.16. Регистр управления накоплением входного сигнала.....	13
5.3. ОРГАНИЗАЦИЯ ВНУТРЕННЕГО БУФЕРА ПАМЯТИ.....	14
6. ИНИЦИАЛИЗАЦИЯ ПЛАТЫ.....	15
7. ОБМЕН ДАННЫМИ В РЕЖИМЕ DMA.....	16
7.1. Основной старт DMA.....	16
7.2. Промежуточный старт DMA.....	16
7.3. Завершение процесса DMA.....	16
8. ВВОД ИЗОБРАЖЕНИЯ В РЕЖИМЕ ВНЕШНЕГО ЗАПУСКА.....	17
9. ВКЛЮЧЕНИЕ ПЛАТЫ.....	17
10. ГАРАНТИЙНЫЕ ОБЯЗАТЕЛЬСТВА.....	18
ПРИЛОЖЕНИЕ 1. ДЕМОНСТРАЦИОННАЯ ПРОГРАММА RT821.EXE.....	19

1. Назначение.

Устройство ввода-вывода и обработки телевизионных изображений **RT-821** предназначено для подключения к ЭВМ на базе платформы INTEL x86 телевизионных камер, тепловизоров, электронных микроскопов, видеомагнитофонов, рентгеновских ТВ установок или любых других устройств, выдающих телевизионный сигнал в различных стандартах. Устройство позволяет вводить в ЭВМ черно-белый телевизионный сигнал в формате X * Y * 10 или X * Y * 8 в реальном времени (не менее 25 кадров в секунду), выполнять первичную обработку видео изображений, а также выводить оцифрованное черно-белое изображение на внешний ТВ монитор или видеоконтрольное устройство (ВКУ)..

2. Технические характеристики.

Видеовход

- 4 программно коммутируемых видеовхода.
- Входное сопротивление: 75 Ом.
- Уровень входного сигнала: от 0.5V pp до 2V pp.
- Полярность синхроимпульсов: отрицательная.
- Синхронизация: внешняя (ГТЛ - уровень) или внутренняя.
- Программная регулировка усиления входного сигнала в диапазоне ± 6 дБ и уровня чёрного в диапазоне $\pm 0.3V$; дискретность регулировок – 256 градаций; линейность регулировок – $\pm 5\%$.
- Автоматическая настройка усиления и уровня черного (полное использование динамического диапазона АЦП в автоматическом режиме).
- АЦП: 10 бит /8 бит, нелинейность 0.3 LSB, частота дискретизации от 12 до 62 МГц.
- Программируемый формат оцифровки кадра: до **2048 * 2048 * 10** – 2048 строк, 2048 пикселей в строке, 1024 градаций серого.
- Дрожание пикселя (*jitter*): не более ± 2 нсек.

Видеовыход

- Уровень выходного сигнала: 1.0V pp на нагрузке 75 Ом.
- Синхросигнал: формируется программно под любой телевизионный стандарт.
- Уровень и полярность синхроимпульсов: 0.35V, отрицательная.
- Программируемая разрядность ЦАП: 10 бит / 8 бит.
- Частота дискретизации выходного сигнала (пиксельная частота): 12 – 65 МГц.
- Программируемый формат вывода кадра: до **2048 * 2048 * 10** – 2048 строк, 2048 пикселей в строке, 1024 градаций серого.

Интерфейс и внутренняя память

- Внутренний буфер памяти: 8 Мбайт (4 телевизионных кадра формата 1024x1024x10).
- Интерфейс: 32 битная шина PCI MASTER.
- Подключение в стандарте Plug & Play.
- Скорость передачи данных: средняя – 60 Мбайт/сек, пиковая – 132 Мбайт/сек.
- 4 программируемых цифровых входа/выхода.

Конструкция и размеры

- Платы изготовлены на базе ПЛИМ фирмы **ALTERA FLEX-10КА** по технологии **SMD**.
- Габаритные размеры мм - 150 * 102 * 20.

3. Функциональные узлы устройства.

Устройство **RT-821** состоит из следующих функциональных узлов:

- **4-х канальный видеокмутатор** – осуществляет коммутацию аналоговых входов (время переключения - 8 нс);
- **схема восстановления постоянной составляющей (DC)** – осуществляет привязку телевизионного сигнала к уровню чёрного;
- **нормирующий усилитель** – обеспечивает согласование уровня входного сигнала с динамическим диапазоном АЦП;
- **схема регулировки смещения постоянной составляющей (DC) и усиления** – позволяет программно автоматически или вручную настраивать яркость и контрастность входного телевизионного изображения (256 градаций);
- **схема выделения сигналов синхронизации** – выделяет из входного сигнала строчные и кадровые синхроимпульсы, а также формирует заданное окно ввода входного телевизионного изображения;
- **ADC** – 10 разрядный аналого-цифровой преобразователь (АЦП);
- **GenLock** – широкодиапазонный генератор частоты квантования входного сигнала (пиксельной частоты). Имеет систему фазовой автоподстройки частоты (ФАПЧ) и обеспечивает дрожание пикселя (jitter) не более ± 2 нс;
- **DAC** – 10 разрядный цифро-аналоговый преобразователь (ЦАП);
- **тактовый генератор** – вырабатывает пиксельную частоту для формирования выходного телевизионного сигнала;
- **схема формирования ТВ раstra** – генератор импульсов гашения и синхронизации для выходного телевизионного сигнала;
- **выходной усилитель** – формирует выходной телевизионный сигнал и обеспечивает согласование с 75-омной нагрузкой;
- **схема управления и синхронизации** – осуществляет общее управление всеми процессами в устройстве;
- **RAM** – 32-х разрядный внутренний буфер памяти (SDRAM, 4 МБ). Функционально разделен на 4 банка по 2 МБ;
- **контроллер RAM** – осуществляет управление внутренним буфером памяти;
- **буферы FIFO** – буферы временного хранения данных (256 и 512 байт);
- **PCI Interface 2.1, контроллер DMA, конфигурационные и операционные регистры** – обеспечивают связь **RT-821** с оперативной памятью компьютера через шину PCI в режимах MASTER и TARGET.

4. Режимы работы изделия.

Устройство **RT821** имеет следующие основные режимы работы:

- **фиксация** телевизионного **кадра** во внутреннем буфере памяти (с возможностью усреднения нескольких кадров);
- **передача данных** через интерфейс PCI;
- **мониторирование** (просмотр) входного телевизионного сигнала на внешнем мониторе (или ВКУ – видеоконтрольном устройстве).

- **визуализация** (просмотр) на внешнем мониторе (ВКУ) телевизионных кадров, записанных во внутреннем буфере памяти.

Устройство RT821 используя перечисленные режимы работы может осуществлять:

- непрерывный или одиночный ввод телевизионных кадров в компьютер с одновременным контролем вводимого изображения на внешнем мониторе (ВКУ);
- вывод на внешний монитор (ВКУ) одиночного кадра, записанного во внутренний буфер памяти (без ввода изображения в компьютер);
- вывод на внешний монитор (ВКУ) серии ранее введенных кадров в реальном времени или с замедлением (без ввода изображения в компьютер).

Использование входного коммутатора на 4 аналоговых входа и четырех программируемых цифровых входов/выходов позволяет реализовать дополнительные функциональные возможности: подключение до 4 источников ТВ сигнала, использование внешних команд управления, подключение исполнительных устройств и т.д.

5. Потребляемые ресурсы.

Устройство RT-821 является Plug & Play устройством, которое подключается к компьютеру через интерфейс шины PCI и использует 32 Кбайт оперативной памяти. Месторасположение занимаемого адресного пространства памяти может быть произвольным и определяется на этапе начальной инициализации устройства. Результаты процесса инициализации (в том числе и задействованные физические адреса) фиксируются в конфигурационном заголовке платы (регистрах конфигурации).

5.1. Регистры конфигурации шины PCI.

В соответствии со стандартом шины PCI, каждое устройство, подключенное к шине, должно иметь конфигурационный заголовок, определяющий порядок взаимодействия устройства с арбитром шины. Конфигурационный заголовок состоит из регистров конфигурации (8-, 16- и 32-разрядных), которые занимают в общей сложности 256 байт. В таблице 1 приведен полный перечень и порядок расположения регистров в конфигурационном заголовке. В таблице 2 дано краткое описание регистров конфигурации, которые поддерживаются платой RT-821 (выделены серым цветом в табл. 1).

Таблица 1

Address	Byte			
	3	2	1	0
00H	Device ID		Vendor ID	
04H	Status Register		Command Register	
08H	Class Code			Revision ID
0CH	BIST	Header Type	Latency Timer	Cache Line Size
10H	Base Address Register 0			
14H	Base Address Register 1			
18H	Base Address Register 2			
1CH	Base Address Register 3			
20H	Base Address Register 4			
24H	Base Address Register 5			
28H	Card Bus CIS Pointer			
2CH	Subsystem ID		Subsystem Vendor ID	
30H	Expansion ROM Base Address Register			

34H	Reserved			
38H	Reserved			
3CH	Maximum Latency	Minimum Grant	Interrupt Pin	Interrupt Line
40H..FFH	Reserved			

Таблица 2

Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
00h	00h-01h	Чтение	5254h	Vendor ID	Идентификатор производителя устройства – фирма РАСТР ТЕХНОЛОДЖИ.
02h	02h-03h	Чтение	0821h	Device ID	Идентификатор типа устройства – плата RT-821
04h	04h-05h	Чтение/ запись	0000h	Command	Обеспечивает подключение устройства к шине PCI: бит 0 – не используется; бит 1 – разрешает доступ к памяти; бит 2 – разрешает режим MASTER; биты 5..3 – не используются; бит 6 – разрешает выдачу сигнала PERR на шине PCI при обнаружении ошибки четности данных; бит 7 – не используется; бит 8 – разрешает выдачу сигнала SERR на шине PCI при обнаружении ошибки четности адреса (должен быть установлен бит 6); биты 15..9 – не используются.
06h	06h-07h	Чтение/ запись	0400h	Status	Содержит информацию о некоторых режимах и результатах работы устройства на шине PCI (для процесса начальной инициализации устройства этот регистр не используется).
08h	08h-08h	Чтение	01h	Revision ID	Идентификатор номера версии исполнения устройства
09h	09h-0Bh	Чтение	040000h	Class Code	Содержит информацию о принадлежности данного устройства к определенному классу устройств (плата RT821 принадлежит к классу устройств Multimedia).
0Dh	0Dh-0Dh	Чтение/ запись	00h	Latency Timer	Используется в режиме MASTER для определения длительности непрерывной передачи одной порции данных на шине PCI. Биты 2..0 – не используются и равны 0; Биты 7..3 – определяют длительность непрерывной порции данных в тактах шины PCI, умноженных на 8 (максимальное число – 0, что соответствует 256-ти тактам).
0Eh	0Eh-0Eh	Чтение	00h	Header Type	Указывает на то, что RT-821 не является многофункциональным PCI устройством (см. спецификацию шины).
10h	10h-13h	Чтение/ запись	00000000h	Base Address Register 0	Первый базовый адресный регистр. Он определяет диапазон адресов памяти, занимаемых устройством, и место его расположения в общем пространстве адресов памяти. Биты 14..0 используются только для чтения, а биты 31..15 – для чтения и записи. Бит 0 – равен 0 и указывает на принадлежность базового адреса к пространству адресов памяти; Биты 2..1 – равны 0, что определяет возможность расположения занимаемого устройством диапазона адресов памяти в любом месте 32-х разрядного адресного пространства; Бит 3 – равен 0 и указывает на то, что режим “Prefetchable” устройством не поддерживается (см. спецификацию шины PCI); Биты 14..4 – равны 0 и указывают на то, что диапазон адресов памяти, занимаемого устройством, составляет 32 Кбайт;

Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
					Биты 31..15 – определяют базовый адрес в 32-х разрядном адресном пространстве памяти.
3Ch	3Ch-3Ch	Чтение/запись	FFh	Interrupt Line	Определяет номер прерывания (от 0 до 15), используемого устройством. Значение FFh говорит о том, что прерывание по умолчанию не используется.
3Dh	3Dh-3Dh	Чтение	01h	Interrupt Pin	Информирует о том, какая аппаратная линия на шине PCI задействована под прерывание. Значение 01h говорит о том, что под прерывание задействована линия INTA#.
3Eh	3Eh-3Eh	Чтение	10h	Minimum Grant	Используется только как информационный и сообщает арбитру шины о предполагаемой длительности непрерывной порции данных, передаваемых через шину. Значение длительности выражено в 250-ти наносекундных отрезках (10h x 250нс = 4 мкс).
3Fh	3Fh-3Fh	Чтение	00h	Maximum Latency	Используется только как информационный и сообщает арбитру шины о том, как часто устройство предполагает задействовать шину для передачи данных. Значение 00h говорит о том, что требования к этому параметру не определены.

5.2. Операционные регистры.

После проведения процесса инициализации устройство RT-821 займет в адресном пространстве компьютера 32 Кбайт памяти. Функционально эта память разбита на две части: нижние 16 Кбайт занимают управляющие *операционные регистры*, а верхние 16 Кбайт являются окном в адресном пространстве, через которое происходит обмен данными между внутренним буфером памяти RT-821 и оперативной памятью компьютера. Следует отметить, что это окно используется только в режиме TARGET (в режиме MASTER данное окно не используется).

Физический адрес первого операционного регистра определяется значением, указанным в первом базовом адресном регистре конфигурационного заголовка. Например, если базовый адрес равен 000D0000h, то операционные регистры займут область памяти 000D0000 – 000D3FFF, а окно обмена данными – область 000D4000h – 000D7FFFh.

Операционные регистры, имеющие разрядность более 16 бит, программируются только с помощью 32-х разрядных операций чтения/записи (не допускается запись, например, сначала младших, а затем старших 16 бит).

В таблице 3 приведен перечень всех операционных регистров устройства.

Таблица 3

Смещение адреса регистра	Направление операции (чтение/запись)	Аббревиатура регистра	Описание регистра
00H	запись	Syst_Ctrl	System Control Register
04H	запись	DMA_Ctrl	DMA Control Register
08H	запись	DMA_Addr	DMA Address Counter Register
0CH	запись	DMA_Byte	DMA Byte Counter Register
10H	чтение	Reg_Events	Events Register
14H	чтение	Reg_Stat	Status Register
18H	запись/чтение	Reg_DIO	Регистр цифрового ввода-вывода
20H	запись	DMA_Line	DMA Line Register

Смещение адреса регистра	Направление операции (чтение/запись)	Аббревиатура регистра	Описание регистра
24H	запись	Mem_Addr	Memory Buffer Address Register
28H	запись	Mem_Addr1	Memory Buffer Address Register_1
34H	запись	Mem_Init	Memory Initialization Register
38H	запись	PCI_Ctrl	PCI Control Register
3CH	запись	ADC_Ctrl	Регистр управления подсистемой ввода изображения
40H	Запись	DAC_Ctrl	Регистр управления подсистемой вывода изображения
44H	запись	MUX_A	Регистр коммутации аналоговых входов
48H	запись	Reg_Level	Регистр смещения уровня черного входного сигнала
4CH	запись	Reg_Gain	Регистр усиления входного сигнала
50H	чтение	ADC_MinMax	Регистр определения амплитуды входного сигнала
58H	запись	Len_Line_All	Полная длина строки (количество пикселей)
5CH	запись	Beg_Line_Act	Начало активной части строки (номер пикселя)
60H	запись	Len_Line_Act	Длина активной части строки (количество пикселей)
64H	запись	Beg_Field1_Act	Начало активной части первого поля кадра (номер строки)
68H	запись	Beg_Field2_Act	Начало активной части второго поля кадра (номер строки)
6CH	запись	Numb_Line_Act	Число активных строк кадра
70H	запись	Numb_Line_All	Число всех строк кадра
84H	запись	T_Line	Период строчной частоты (в микросекундах)
94H	запись	Reg_Accum	Регистр управления накоплением входного сигнала

5.2.1. System Control Register.

С помощью регистра **Syst_Ctrl** задается маска прерываний по различным событиям. Установка соответствующего бита регистра в 1 разрешает, а сброс в 0 запрещает прерывание. Бит D0 разрешает выдачу прерываний от устройства по всем событиям, которые были разрешены. Биты D6, D4..D1 регистра **Syst_Ctrl** разрешают прерывания по отдельным событиям и установку соответствующих битов в регистре **Reg_Events**.

Биты	Описание
0	Общее разрешение прерываний
1	Разрешение прерывания при завершении DMA
2	Разрешение прерывания от входных кадровых синхроимпульсов
3	Разрешение прерывания от выходных кадровых синхроимпульсов
4	Разрешение прерывания при пропадании входного сигнала
5	Не используется
6	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-2
31..7	Не используются

5.2.2. DMA Control Register.

Регистр управления DMA **DMA_Ctrl** организует порядок обмена данными через интерфейс PCI в режиме MASTER.

Биты	Описание
0	Не используется

Биты	Описание
1	Принудительный останов режима DMA 0 - DMA проходит в обычном режиме 1 - режим DMA остановлен
2	Разрядность передаваемых данных 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (12 бит)
3	Направление передачи данных через интерфейс PCI: 0 - данные записываются во внутренний буфер видеопроцессора 1 - данные читаются из внутреннего буфера видеопроцессора
4	Чтение/запись чересстрочного изображения 0 - последовательное (прогрессивное) чтение/запись данных 1 - чтение/запись данных через строку (длина строки в пикселях указывается в регистре DMA_Line)
5	Чтение/запись данных с вертикальным отражением 0 - чтение/запись данных от верхней строки к нижней 1 - чтение/запись данных от нижней строки к верхней (Vertical Flip)
31..6	Не используются

5.2.3. DMA Address Counter Register.

В регистр **DMA_Addr** записывается 32-х разрядный адрес, указывающий на начало области оперативной памяти компьютера, с которой будет организован обмен данными при выполнении DMA. Операция записи в регистр **DMA_Addr** дает также старт процессу DMA.

5.2.4. DMA Byte Counter Register.

Регистр **DMA_Byte** является 21- разрядным счетчиком количества переданных байт в ходе выполнения DMA. За один цикл DMA можно передать до 2048 Кбайт данных. Значение количества байт, записываемое в регистр, должно быть кратно 16.

5.2.5. Events Register.

В регистре **Reg_Events** фиксируется информация о событиях, вызвавших прерывание. Соответствующий бит регистра **Reg_Events** устанавливается в 1 в момент выдачи прерывания, если оно было разрешено. При чтении регистра все установленные в 1 биты сбрасываются в 0.

Биты	Описание
0	Завершение процесса DMA. Бит устанавливается в "1", когда счетчик количества переданных байт достигнет нуля, что свидетельствует об успешном завершении процесса DMA.
1	Ошибка во время выполнения DMA
2	Появление кадрового синхроимпульса во входном сигнале
3	Появление кадрового синхроимпульса в выходном сигнале
4	Пропадание входного сигнала
5	Изменение логического состояния одного либо нескольких цифровых входов
31..6	Не используются

5.2.6. Status Register.

В регистре статуса **Reg_Stat** отражается информация о состоянии устройства и происходящих в нем процессах.

Биты	Описание
0	Окончание фиксации кадра во внутреннем буфере памяти. Бит сбрасывается в "0" при программировании режима фиксации кадра и устанавливается в "1" в конце ввода одного кадра в режиме без накопления или последнего введенного кадра в режиме с накоплением 0 – процесс фиксации кадра не закончен 1 – процесс фиксации кадра закончен
1	Фиксация телевизионного кадра во внутреннем буфере памяти. Бит устанавливается в "1" с началом ввода кадра и сбрасывается в "0" в конце ввода кадра в режиме без накопления или последнего введенного кадра в режиме с накоплением 0 – процесс фиксации еще не начат или уже закончен 1 – идет процесс фиксации кадра ТВ сигнала
2	Кадровый синхроимпульс во входном сигнале. Бит устанавливается в "1", когда во входном сигнале присутствуют кадровые синхроимпульсы полей кадра.
3	Номер (или четность) поля текущего кадра входного телевизионного сигнала 0 – первое поле кадра 1 – второе поле кадра
4	Отсутствие входного телевизионного сигнала 0 – сигнал на входе присутствует 1 – сигнала на входе нет
5	Вывод очередного кадра изображения. Бит устанавливается в "1" в начале и сбрасывается в "0" в конце вывода полного кадра. Он может использоваться для синхронизации смены банков памяти с записанными в них телевизионными кадрами при выводе изображения на внешний монитор.
6	Процесс DMA активен. Бит устанавливается в "1" при записи адреса в регистр DMA_Addr и сбрасывается в "0" при завершении либо остановке процесса DMA.
31..7	Не используются

5.2.7. Регистр цифрового ввода-вывода.

Регистр **Reg_DIO** осуществляет связь платы с внешними устройствами посредством сигналов в уровнях ТТЛ логики через соответствующие цифровые линии. Линии **I/O-1** и **I/O-2** предназначены для приема сигналов, а линии **I/O-3** и **I/O-4** – для вывода сигналов. Линия **I/O-2** через резистор 1 кОм подключена к +5В и может использоваться для внешнего запуска с помощью кнопки (замыканием на корпус).

Биты	Описание
1..0	Ввод данных с цифровых линий I/O-2 .. I/O-1 (см. таблицу 4)
3..2	Вывод данных на цифровые линии I/O-4 .. I/O-3 (см. таблицу 4)
31..5	Не используются

5.2.8. Memory Buffer Address Register, Memory Buffer Address Register_1, DMA Line Register.

Регистры **Mem_Addr** и **Mem_Addr1** (21 бит) являются указателями на текущий адрес памяти активного банка во внутреннем буфере видеопроцессора для первого и второго полей кадра (номер активного банка определяются битами D1..D0 регистра **PCI_Ctrl**). При выполнении DMA эти указатели смещаются в соответствии с количеством переданных байт в каждом поле.

При прогрессивном способе обмена данными в регистры **Mem_Addr** и **Mem_Addr1** записывается адрес первой (при чтении/записи строк сверху вниз) или последней (при чтении/записи строк снизу вверх) строки активной части кадра. Активная часть кадра определяется регистрами входного/выходного формата кадра (5.2.15).

При чересстрочном способе обмена данными и чтении/записи строк сверху вниз в регистр **Mem_Addr** записывается адрес первой строки первого поля активной части кадра, а в регистр **Mem_Addr1** – адрес первой строки второго поля активной части кадра.

При чересстрочном способе обмена данными и чтении/записи строк снизу вверх (Vertical Flip) в регистр **Mem_Addr** записывается адрес последней строки второго поля активной части кадра, а в регистр **Mem_Addr1** – адрес последней строки первого поля активной части кадра.

Если передается не вся активная часть кадра, то в регистры **Mem_Addr** и **Mem_Addr1** записываются необходимые смещения от начала (или конца) полей кадра. В этом случае значение регистра **Mem_Addr1** можно вычислить по формуле:

$[Mem_Addr] + [DMA_Line] * [Numb_Line_Act + 1] / 2$ – для 8-разрядных данных;

$[Mem_Addr] + [DMA_Line] * [Numb_Line_Act + 1]$ – для 16-разрядных данных.

Регистр **DMA_Line** (11 бит) определяет длину строки передаваемого через шину PCI кадра в пикселях (разрядность пикселя необходимо указывать в регистре **DMA_Ctrl**).

Значения, записываемые в регистры **Mem_Addr**, **Mem_Addr1** и **DMA_Line**, должны быть кратны 16.

5.2.9. Memory Initialization Register.

Регистр **Mem_Init** используется для инициализации динамической памяти RT821. При старте драйвера или программы в этот регистр записывается значение 0.

5.2.10. PCI Control Register.

Регистр **PCI_Ctrl** осуществляет выбор активного PCI банка, а также организует порядок обмена данными с внутренним буфером памяти в режиме TARGET (см. раздел ‘Организация внутреннего буфера памяти’).

Биты	Описание																																								
1..0	Выбор номера банка для обмена данными через PCI (выбор активного PCI банка)																																								
2	Не используется																																								
9..3	Номер окна в активном PCI банке (только для режима TARGET) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>D9</th> <th>D8</th> <th>D7</th> <th>D6</th> <th>D5</th> <th>D4</th> <th>D3</th> <th>Номер окна</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>127</td> </tr> </tbody> </table>	D9	D8	D7	D6	D5	D4	D3	Номер окна	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	2	1	1	1	1	1	1	1	127
D9	D8	D7	D6	D5	D4	D3	Номер окна																																		
0	0	0	0	0	0	0	0																																		
0	0	0	0	0	0	1	1																																		
0	0	0	0	0	1	0	2																																		
1	1	1	1	1	1	1	127																																		
31..10	Не используются																																								

5.2.11. Регистр управления подсистемой ввода изображения.

Регистр **ADC_Ctrl** осуществляет управление фиксацией входного ТВ изображения во внутреннем буфере памяти видеопроцессора.

Биты	Описание
1..0	Выбор номера банка для ввода ТВ сигнала (выбор активного ADC банка)
6..2	Не используются
7	Переключение разрядности входных данных: 0 - один байт на пиксель 1 - два байта на пиксель (старшие 8 бит нули)
8	Включение режима фиксации кадра. Бит автоматически сбрасывается по окончании фиксации кадра.
31..9	Не используются

5.2.12. Регистр управления подсистемой вывода изображения.

Регистр **DAC_Ctrl** управляет выводом ТВ изображения из внутреннего буфера памяти видеопроцессора на внешний монитор.

Биты	Описание
1..0	Выбор номера банка для вывода ТВ сигнала (выбор активного DAC банка)
3..2	Не используются
4	Включение режима вывода одного полукадра. В этом режиме при выводе на экран монитора второе поле кадра замещается первым (полезно при просмотре динамических изображений)
5	Включение режима мониторирования – сквозного канала АЦП – ЦАП. <i>При вводе ТВ сигнала этот бит должен быть обязательно установлен в 1</i> 0 – вывод изображения на внешний монитор из внутреннего буфера памяти (вывод ТВ сигнала невозможен) 1 – на внешний монитор сигнал поступает непосредственно с аналогового входа
6	Включение гашения выходного сигнала (без обнуления данных во внутреннем буфере)
31..7	Не используются

5.2.13. Регистры усиления и смещения уровня черного входного сигнала, регистр определения амплитуды входного сигнала.

С помощью 8-разрядных регистров **Reg_Gain** и **Reg_Level** производится регулировка усиления и постоянной составляющей видеосигнала, что эквивалентно настройке контрастности и яркости вводимого изображения.

Регистр определения амплитуды входного сигнала **ADC_MinMax** позволяет за время ввода кадра определить минимальное и максимальное 8-битовые значения входного сигнала внутри окна ввода. Эти значения в дальнейшем могут быть использованы для корректировки содержимого регистров **Reg_Gain** и **Reg_Level** с целью оптимальной настройки яркости и контрастности вводимого изображения.

Биты	Описание
7..0	Минимальное значение входного сигнала, зафиксированное во время ввода последнего кадра.
15..8	Максимальное значение входного сигнала, зафиксированное во время ввода последнего кадра.
31..16	Не используются

5.2.14. Analog Input Register (регистр коммутации входных аналоговых сигналов).

Регистр **MUX_A** осуществляет подключение одного из четырех аналоговых входов.

Биты	Описание										
1..0	Выбор аналогового входа <table><thead><tr><th>D1 D0</th><th>Номер входа</th></tr></thead><tbody><tr><td>0 0</td><td>0</td></tr><tr><td>0 1</td><td>1</td></tr><tr><td>1 0</td><td>2</td></tr><tr><td>1 1</td><td>3</td></tr></tbody></table>	D1 D0	Номер входа	0 0	0	0 1	1	1 0	2	1 1	3
D1 D0	Номер входа										
0 0	0										
0 1	1										
1 0	2										
1 1	3										
31..2	Не используются										

5.2.15. Регистры входного/выходного формата кадра.

Аббревиатура регистра	Описание регистра	Значение для сигнала стандарта CCIR
Len_Line_All	Общая длина строки (количество пикселей в строке)	943
Beg_Line_Act	Количество пикселей от переднего фронта синхроимпульса до начала активной части строки	159
Len_Line_Act	Длина активной части строки (в пикселах)	767
Beg_Field1_Act	Номер строки, соответствующей началу активной части первого поля кадра	21
Beg_Field2_Act	Номер строки, соответствующей началу активной части второго поля кадра	*
Numb_Line_Act	Число активных строк кадра	575
Numb_Line_All	Число всех строк кадра	624
T_Line	Период строчной частоты (в тактах опорной 59 МГц частоты)	3775

В зависимости от значения бита D5 регистра **DAC_Ctrl** регистры входного/выходного формата кадра определяют либо формат оцифровки кадра при вводе ТВ изображения (D5=1), либо формат кадра при выводе изображения на внешний монитор (D5=0).

В регистры **Len_Line_All**, **Beg_Line_Act**, **Len_Line_Act**, **Beg_Field1_Act**, **Beg_Field2_Act**, **Numb_Line_Act**, **Numb_Line_All**, **T_Line** записываются значения на единицу меньше фактических.

Значение регистра **Beg_Field2_Act** зависит от типа развертки входного сигнала и начала активной части первого поля кадра. Для сигнала с чересстрочной разверткой значение регистра **Beg_Field2_Act** вычисляется по формуле:

$$[\text{Beg_Field2_Act}] = [\text{Numb_Line_All}] / 2 + [\text{Beg_Field1_Act}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Beg_Field2_Act** записывается то же значение, что и в регистр **Beg_Field1_Act**.

В регистр **T_Line** записывается значение периода строчной частоты сигнала в тактах опорной частоты 59 МГц:

$$[\text{T_Line}] = T * 59, \text{ где } T - \text{период строчной частоты в микросекундах}$$

Все регистры имеют разрядность 11 бит (максимальное значение 2047). Однако, при выборе формата кадра необходимо учитывать следующие ограничения:

- длина активной части строки должна быть кратна 16;
- максимальный размер активной части кадра, равный произведению $[\text{Len_Line_Act}] * [\text{Numb_Line_Act}]$, должен быть не более 2 МБ при выводе изображения или вводе его без накопления, и не более 1 МБ при вводе изображения с накоплением кадров.

5.2.16. Регистр управления накоплением входного сигнала.

Регистр **Reg_Accum** осуществляет управление режимом накопления нескольких кадров входного ТВ сигнала, а также режимом усреднения двух полей кадра.

Биты	Описание															
1..0	Выбор количества накапливаемых кадров: <table border="0"> <tr> <td>D1</td> <td>D0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>- 2 кадра</td> </tr> <tr> <td>0</td> <td>1</td> <td>- 4 кадра</td> </tr> <tr> <td>1</td> <td>0</td> <td>- 8 кадров</td> </tr> <tr> <td>1</td> <td>1</td> <td>- 16 кадров</td> </tr> </table>	D1	D0		0	0	- 2 кадра	0	1	- 4 кадра	1	0	- 8 кадров	1	1	- 16 кадров
D1	D0															
0	0	- 2 кадра														
0	1	- 4 кадра														
1	0	- 8 кадров														
1	1	- 16 кадров														
2	Включение режима накопления кадров															
3	Включение режима усреднения полей кадра															

Биты	Описание
31..4	Не используются

В режиме накопления кадров выдача прерываний от подсистемы ввода осуществляется по каждому введенному кадру, а бит готовности (бит D0 регистра **Reg_Stat**) будет установлен по окончании ввода последнего из серии накапливаемых кадров. Процесс накопления можно принудительно остановить, сбросив бит D8 регистра **ADC_Ctrl**.

В режиме усреднения полей кадра фиксация входного сигнала осуществляется в адресном пространстве только первого поля кадра. Поэтому при выполнении DMA нужно установить чересстрочный способ передачи данных, а в регистры **Mem_Addr** и **Mem_Addr1** записать адрес первой (при чтении/записи строк сверху вниз) или последней (при чтении/записи строк снизу вверх) строки первого поля кадра.

5.3. Организация внутреннего буфера памяти.

Внутренний буфер памяти устройства RT-821 имеет объем 8 Мбайт и состоит из 4 банков, в каждом из которых может располагаться один телевизионный кадр размером до 2 Мбайт. При этом каждый банк памяти может быть задействован для любого из следующих трех процессов: передачи данных через шину PCI, фиксации входного телевизионного изображения во внутреннем буфере памяти, вывода изображения из внутреннего буфера памяти на внешний монитор.

Банк памяти, непосредственно участвующий в одном из перечисленных выше процессов, называется активным. Таким образом, в устройстве может быть три активных банка, которые условно назовем **PCI**, **ADC** и **DAC активными банками**. Номера активных банков определяются соответственно битами D0 регистров **PCI_Ctrl**, **ADC_Ctrl** и **DAC_Ctrl**. Назначение активных банков при вводе и выводе изображения обычно подчиняется следующему правилу: фиксация или вывод телевизионного изображения осуществляются в банке с номером, отличающемся от номера банка, задействованного для передачи данных по шине PCI.

Обмен данными на шине PCI может проходить в двух режимах: MASTER и TARGET. В режиме TARGET передача данных осуществляется с помощью простых языковых операторов типа “**copy**”. В режиме MASTER задействован механизм прямого доступа к памяти (DMA). Скорость передачи данных в режиме MASTER примерно в шесть раз больше и составляет 60 Мбайт/сек.

При обмене данными в режиме TARGET каждый банк памяти делится на 128 частей (окна). Одно окно является частью адресного пространства оперативной памяти компьютера размером 16 КБайт и начальным адресом, сдвинутым на 16 КБайт вверх относительно адреса, указанного в первом базовом адресном регистре конфигурационного заголовка платы. Например, если базовый адрес равен 000D0000h, то окно памяти, через которое будет вестись обмен данными, составит диапазон 000D4000h – 000D7FFFh. Номер окна памяти (от 0 до 127), подключенного к адресному пространству компьютера, определяется битами D9..D3 регистра **PCI_Ctrl**.

При обмене данными в режиме MASTER (или DMA) внутренний буфер памяти видеопроцессора на адресное пространство оперативной памяти компьютера не отображается. Банк памяти представляет собой единое целое и может быть записан или считан целиком за один раз. Обмен данными в режиме DMA будет рассмотрен ниже.

При фиксации изображения во внутреннем буфере памяти строки ТВ кадра располагаются последовательно друг за другом – сначала строки первого поля, затем второго. При передаче изображения в оперативную память компьютера для восстановления правильного чередования строк можно использовать чересстрочный обмен данными (то же относится и к

выводу изображения на внешний монитор).

6. Инициализация платы.

После включения питания компьютера или нажатия кнопки “RESET” необходимо выполнить начальную инициализацию платы RT-821, т.е. записать нужную информацию в ее конфигурационный заголовок. Процесс инициализации будет зависеть от типа операционной системы, под управлением которой работает плата. Для систем Windows 95, 98, Windows NT существуют стандартные процедуры инициализации, параметрами которых являются одноименные регистры конфигурации – **Vendor ID**, **Device ID** и др. (см. п.5.1). С работой таких процедур необходимо будет ознакомиться в дополнительной литературе. Здесь же рассмотрим лишь случай инициализации платы при работе под управлением MS-DOS.

Для доступа к конфигурационным заголовкам PCI устройств существуют два стандартных 32-разрядных порта ввода-вывода, закрепленных за арбитром шины PCI, и называемых **CONFIG_ADDRESS** (адрес 0CF8h) и **CONFIG_DATA** (адрес 0CFCh). Формат регистра **CONFIG_ADDRESS** следующий:

31	30					24	23							16	15					11	10		8	7							0
1	Зарезервировано = 0						Номер шины						Номер устройства				Номер функции		Номер регистра												

где, **номер шины** – номер шины PCI, к которой подключена плата RT-821;

номер устройства – число от 0 до 31, соответствующее слоту расширения шины PCI, в котором установлена плата RT-821;

номер функции – для платы RT-821 значение равно 0;

номер регистра – число от 0 до 60 кратное 4, указывающее на смещение в конфигурационном заголовке платы RT-821, куда будет произведено обращение при последующем чтении/записи регистра **CONFIG_DATA**.

Сначала в порт **CONFIG_ADDRESS** записываются координаты того регистра конфигурационного заголовка, к которому необходимо произвести обращение. Затем производится чтение или запись данных в этот регистр через порт **CONFIG_DATA**. Например, если требуется записать в базовый адресный регистр значение 000D0000h, а за RT-821 закреплен номер устройства 10h, то сначала в порт **CONFIG_ADDRESS** записывается число 80008010h, а затем в порт **CONFIG_DATA** – число 000D0000h. Необходимо помнить, что все операнды в операциях ввода/вывода должны быть 32-х разрядными (в реальном режиме процессора этого можно добиться, проставляя в ассемблерном тексте префикс 66h).

Процесс инициализации состоит из нескольких этапов:

- определение номера шины и номера устройства, закрепленного за платой RT-821;
- запись базовых адресов памяти и ввода-вывода в соответствующие регистры конфигурации;
- включение платы в пространство памяти и включение режима MASTER установкой в “1” битов D2, D1 в регистре **Command** конфигурационного заголовка.

Рекомендуемый для MS-DOS базовый адрес памяти – D0000h. При этом в файле CONFIG.SYS при загрузке драйвера EMM386.EXE необходимо выключить соответствующую область верхней памяти строкой:

DEVICE = C:\DOS\EMM386.EXE NOEMS X=D000-D7FF

В качестве примера в файле INIT_821.PAS приведен текст программы инициализации, написанной на языке Паскаль (Borland Pascal 7.0).

7. Обмен данными в режиме DMA.

Обмен данными в режиме DMA состоит из двух этапов – старта процесса DMA и последующего получения подтверждения об его завершении.

7.1. Основной старт DMA.

Основной старт DMA выполняется каждый раз, когда требуется передать кадр изображения из внутренней памяти устройства в оперативную память компьютера или обратно за один цикл, либо в начальной фазе при передаче кадра частями. В этом случае необходимы следующие действия:

- 1). Программируется регистр **DMA_Ctrl**.
- 2). Программируются регистры **Mem_Addr**, **Mem_Addr1** и **DMA_Line**. Значения, записываемые в регистры, должны быть кратны 16.
- 3). Программируется регистр .
- 4). Последним программируется регистр **DMA_Addr**. После операции записи в этот регистр начинается процесс DMA.

Контроллер DMA, реализованный в RT821, выдает запрос на шину PCI и после получения подтверждения на захват шины, начинает передачу данных блоками до 256 байт (длина блока определяется значением конфигурационного регистра **Latency Timer**). После передачи каждого блока шина PCI освобождается на время примерно равное времени передачи блока. Процесс DMA заканчивается, когда счетчик количества переданных байт достигнет значения, записанного в регистр **DMA_Byte**.

7.2. Промежуточный старт DMA.

Промежуточный старт DMA выполняется повторно, если передача кадра ведется частями. В этом случае необходимы следующие действия:

- 1). Программируется регистр **DMA_Byte**. Если количество передаваемых данных не изменилось по сравнению с предыдущим стартом – регистр можно не программировать.
- 2). Программируется регистр **DMA_Addr**.

7.3. Завершение процесса DMA.

Получение подтверждения о завершении DMA происходит либо по прерыванию, либо при постоянном опросе регистров **Reg_Stat** или **Reg_Events**.

1). При получении прерывания (если оно было разрешено) прочитать регистр **Reg_Events** и убедиться, что прерывание пришло от контроллера DMA и процесс DMA закончился корректно (бит D0 = 1). При чтении регистра **Reg_Events** прерывание снимается, а бит D0 сбрасывается. Необходимо помнить, что при чтении регистра **Reg_Events** все остальные биты событий сбрасываются.

2). Завершение DMA можно определить также и без прерывания – по регистру состояния **Reg_Stat** (бит D6=0).

Важное замечание:

Получение прерывания от устройства при окончании DMA фактически означает высвобождение шины PCI, однако, внутренние процессы в устройстве могут еще некоторое время продолжаться (до 10 мкс). Полное завершение DMA контролируется по биту D6 регистра **Reg_Stat**.

8. Ввод изображения в режиме внешнего запуска.

Ввод изображения может быть синхронизирован с внешним ТТЛ сигналом, подключенным к одной из линий цифрового интерфейса платы. При этом алгоритм ввода кадров будет определяться характером подаваемого сигнала запуска и требуемым временем реакции на него.

Самым простым способом синхронизации ввода с запускающим сигналом является чтение регистра **Reg_DIO**, проверка логического уровня на соответствующей цифровой линии и при обнаружении, например, логической 1 осуществление фиксации кадра во внутреннем буфере платы и дальнейшей перекачки его в оперативную память компьютера. Однако, если сигнал запуска достаточно короткий (меньше периода опроса регистра **Reg_DIO**), то он может быть пропущен.

В случае, если сигнал запуска имеет импульсный характер или требуется быстрая реакция системы, можно воспользоваться другим способом. Сигнал запуска подключить к цифровой линии **I/O-2**. В регистре **Syst_Ctrl** установкой бита D6 в "1" разрешить прерывание по изменению логического состояния на этой линии. Тогда при обнаружении переднего или заднего фронта сигнала запуска в регистре событий **Reg_Events** установится бит D5, который либо вызовет прерывание (если они были разрешены битом D0 регистра **Syst_Ctrl**), либо просто зафиксирует факт прихода импульса запуска. При чтении регистра **Reg_Events** все биты зафиксированных ранее событий (в том числе и D5) сбросятся.

9. Включение платы.

Плата подключается к ЭВМ через свободный разъем (слот) расширения шины PCI на материнской плате. Рекомендуемая конфигурация: Pentium, оперативная память - 16 Мб, SVGA карта с памятью не менее 1 Мб, SVGA монитор, поддерживающий разрешение 1024 * 768.

До включения питания общие шины источника TV сигнала, компьютера, внешнего монитора (ВКУ) должны быть соединены вместе (заземлены). В противном случае возможен выход изделия из строя из-за разности потенциалов фаз электропитания.

Для исключения возможных наводок от электрической сети рекомендуется подключение всех компонентов системы к одной фазе электропитания.

На плате имеются три разъема в отверстиях на крепежной планке. Дальний от системного разъема PCI - вход ТВ сигнала, ближний - выход на внешний монитор (ВКУ), подключение монитора не является обязательным. Средний, пятнадцати штырьковый разъем предназначен для обеспечения работы платы от внешней синхронизации, дублирования входного и выходного разъема ТВ сигнала, а так же для управления платой от внешнего устройства, например, кнопки.

Таблица 3

Контакт	Цепь	Контакт	Цепь	Контакт	Цепь
1	I/O-1	5	TV-IN-1	11	I/O-3
2	TV-IN-4	6	I/O-2	12	+12V
3	TV-IN-3	7	I/O-4	14	+5V
4	TV-IN-2	8, 9, 10	Земля (аналоговая)	13, 15	Корпус

10. Гарантийные обязательства.

ООО «РАСТР ТЕХНОЛОДЖИ» осуществляет бесплатный гарантийный ремонт продукции в течение 12 месяцев от даты продажи, сопровождение и консультации по работе с видеоплатой. Гарантия не распространяется на ущерб, причинённый другому оборудованию, работающему в сопряжении с данным изделием. Срок гарантии увеличивается на время нахождения изделий в ремонте.

Гарантийные обязательства аннулируются в случае, если:

- отсутствует или оторвана гарантийная наклейка;
- на плате был произведен любой неавторизованный ООО «РАСТР ТЕХНОЛОДЖИ» ремонт или её модификация;
- неисправности вызваны неправильной эксплуатацией платы (механические повреждения, неправильное включение, отсутствие заземления и т.п.);
- неисправности вызваны неправильной эксплуатацией оборудования, в том числе:
 - эксплуатация в сильно запылённых помещениях;
 - неправильное подключение дополнительного оборудования;
 - использование питания с характеристиками, отличными от допустимых;
 - изделие было установлено и использовано иначе, чем указано в инструкции по эксплуатации.

Недополученная в связи с появлением неисправности прибыль и другие косвенные расходы не подлежат возмещению.

По вопросам эксплуатации и ремонта обращайтесь по телефону ООО "РАСТР ТЕХНОЛОДЖИ" в Москве

 (095) #425-73-26; E-mail: raster-msk@mtu-net.ru

Приложение 1. Демонстрационная программа RT821.exe

П.1. Запуск программы.

Программа RT821.exe работает под управлением MS-DOS. Если на компьютере установлена система Windows 95,98,2000, то запуск программы может быть осуществлен при полной перезагрузке Windows в режиме MS-DOS (но не в режиме эмуляции DOS). Перед запуском программы необходимо загрузить драйверы реального режима HIMEM и EMM386, руссификаторы клавиатуры и дисплея, причем в драйвере EMM386 необходимо выключить область памяти D000–D7FF. Рекомендуемый в этом случае состав файлов **config.sys** и **autoexec.bat** будет выглядеть следующим образом:

Config.sys

```
device=C:\WINDOWS\HIMEM.SYS
device=C:\WINDOWS\EMM386.EXE X=D000-D7FF
device=C:\WINDOWS\COMMAND\display.sys con=(ega,,1)
Country=007,866,C:\WINDOWS\COMMAND\country.sys
```

Autoexec.bat

```
mode con codepage prepare=((866) C:\WINDOWS\COMMAND\lega3.cpi)
mode con codepage select=866
keyb ru,,C:\WINDOWS\COMMAND\keybrd3.sys
```

Если при запуске программы RT821.exe выдается сообщение “**NO RAM**”, то это означает, что в памяти компьютера находятся резидентные драйверы или программы, которые необходимо будет либо выгрузить, либо перенести в верхнюю область памяти. Программа также не запустится, если плата в компьютер не установлена. При этом будет выдано сообщение “**No RT821 card on PCI bus**”.

После прохождения теста памяти программа переходит в основной режим работы – режим “**ФИКСАЦИЯ КАДРОВ**”. Все управление программой, в том числе и выбор режимов работы, осуществляется с помощью горячих клавиш (без использования меню и мыши).

П.2. Режим “ФИКСАЦИЯ КАДРОВ”.

В этом режиме осуществляется непрерывный ввод телевизионного сигнала в оперативную память компьютера с одновременным просмотром вводимого изображения на мониторе ПЭВМ. При этом на мониторе отображается количество введенных кадров, время ввода одного кадра в миллисекундах и скорость ввода кадров. Под вводом кадра подразумевается фиксация кадра во внутреннем буфере памяти платы и дальнейшая его пересылка в оперативную память ПЭВМ через шину PCI. Следующий введенный кадр стирает предыдущий, так что при останове ввода сохраняется информация лишь о последнем введенном кадре.

В этом режиме также можно осуществлять регулировку яркости (т.е. смещения уровня черного) и контрастности (усиления) вводимого изображения.

Клавиши управления	Описание
S	Старт непрерывного ввода изображения
E	Останов ввода
Пробел	Одиночный ввод телевизионного кадра
4	Увеличение контрастности вводимого изображения
6	Уменьшение контрастности вводимого изображения
-	Увеличение яркости вводимого изображения
+	Уменьшение яркости вводимого изображения
A	Автоматическая настройка яркости и контрастности вводимого изображения
0	Отключение режима накопления кадров

Клавиши управления	Описание
1	Включение режима накопления 2 кадров
2	Включение режима накопления 4 кадров
3	Включение режима накопления 8 кадров
5	Включение режима накопления 16 кадров
F	Включение/выключение режима усреднения полей кадра
I	Включение/выключение чересстрочного режима чтения/записи изображения
Pg_Up	Переключение платы на ввод изображения (сквозной канал на вывод)
Pg_Down	Переключение платы на вывод изображения из внутреннего буфера памяти
Ctrl F1	Установка формата кадра по умолчанию для стандарта CCIR
Ctrl F4	Установка формата кадра вручную. Последовательно вводятся значения параметров в секциях ВХОДНОЙ СИГНАЛ / ВЫХОДНОЙ СИГНАЛ и ФОРМАТ ВВОДА/ФОРМАТ ВЫВОДА . При нажатии Esc или Enter без числа сохраняется старое значение параметра.
Esc	Выход из программы

При отсутствии сигнала на входе платы выдается сообщение “**Нет видео**”. Если поданный на вход сигнал не соответствует нужному стандарту, то выдается сообщение “**Нет ввода**”.

П.3. Режим “ЗАПИСЬ СЕРИИ КАДРОВ”.

Этот режим позволяет осуществлять запись телевизионного изображения на жёсткий диск ПЭВМ. Формат кадра записываемого изображения определяется в секции **ФОРМАТ ВВОДА**. При входе в режим выдаются следующие запросы:

- количество вводимых кадров;
- имя файла, в который будет записываться изображение;
- подтверждение о начале записи.

Клавиши управления	Описание
Ctrl W	Вход в режим ЗАПИСЬ СЕРИИ КАДРОВ
Enter	Подтверждение ввода параметров или начала записи
Y	Подтверждение начала записи
N	Отказ от начала записи (выход из режима)
Esc	Выход из режима записи

Если при запросе ввода очередного параметра нажать клавишу Enter, то будет сохранено старое значение этого параметра. Максимальное количество вводимых кадров для формата 768x576 – 4854. Имя файла должно состоять не более чем из двенадцати символов (включая расширение). Размер файла не может превышать 2ГБ.

Процесс записи сопровождается выводом информации о количестве записанных кадров. По окончании процесса записи на монитор выводится сообщение об общем времени и средней скорости записи изображения на диск.

П.4. Режим “ЧТЕНИЕ СЕРИИ КАДРОВ”.

Этот режим позволяет просматривать на мониторе ПЭВМ и внешнем ВКУ записанное на жестком диске телевизионное изображение.

Формат кадра считываемого изображения определяется в секции **ФОРМАТ ВВОДА**. При входе в режим **ЧТЕНИЕ СЕРИИ КАДРОВ** программа запрашивает имя файла, подтверждение о просмотре изображения на внешнем ВКУ и затем выводит первый кадр телевизионного изображения из этого файла. Далее просмотр может осуществляться по одному кадру или непрерывно.

Клавиши управления	Описание
Ctrl R	Вход в режим ЧТЕНИЕ СЕРИИ КАДРОВ
Y	Подтверждение дублирования вывода изображения на внешнем ВКУ
1	Вывод нечетных полукадров
2	Вывод четных полукадров
0	Вывод полных кадров
S	Старт непрерывного вывода изображения
E	Останов непрерывного вывода изображения
Home	Переход к первому кадру
End	Переход к последнему кадру
N	Переход к заданному кадру (ввести номер кадра и нажать Enter)
>	Переход к следующему кадру
<	Переход к предыдущему кадру
Esc	Выход из режима просмотра изображения

П.5. Режим “ЗАПИСЬ КАДРА”.

Этот режим позволяет записать на жесткий диск содержимое внутреннего буфера платы в виде одного кадра изображения.

При входе в режим записи кадра программа запрашивает имя файла, номер банка памяти, откуда будет производиться запись, и затем выводит результат: файл записан или нет. По клавише ”Esc” можно отказаться от записи кадра.

Клавиши управления	Описание
Ctrl S	Вход в режим записи кадра
Esc	Отказ от записи кадра

П.6. Режим “ЧТЕНИЕ КАДРА”.

Этот режим аналогичен режиму просмотра изображения с той лишь разницей, что на монитор ПЭВМ и внешнее ВКУ выводится только первый кадр изображения, записанного на жестком диске.

Клавиши управления	Описание
Ctrl L	Вход в режим просмотра кадра
Esc	Отказ от просмотра кадра