

РАСТР ТЕХНОЛОДЖИ

Устройство ввода-вывода и обработки телевизионных изображений RT-826VP

Версия 2.0

Техническое описание

© Москва 2005

ОГЛАВЛЕНИЕ

1. ВВЕДЕНИЕ.....	3
2. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ.....	3
3. УСТРОЙСТВО И РАБОТА ИЗДЕЛИЯ.....	4
3.1. ОСНОВНЫЕ ТЕРМИНЫ И СОКРАЩЕНИЯ.....	4
3.2. ОБЩАЯ ФУНКЦИОНАЛЬНАЯ СХЕМА.....	4
4. РЕЖИМЫ РАБОТЫ ИЗДЕЛИЯ.....	7
5. ПРОГРАММИРУЕМЫЕ РЕСУРСЫ.....	7
5.1. РЕГИСТРЫ КОНФИГУРАЦИИ ШИНЫ PCI.....	7
5.2. ОПЕРАЦИОННЫЕ РЕГИСТРЫ.....	9
5.2.1. Системный регистр управления.....	10
5.2.2. Регистр управления режимом DMA.....	11
5.2.3. Регистр адреса DMA.....	11
5.2.4. Регистр счетчика данных DMA.....	11
5.2.5. Регистр событий.....	12
5.2.6. Регистр статуса.....	12
5.2.7. Регистр цифрового ввода-вывода.....	13
5.2.8. Регистры адреса первого и второго полей кадра, регистр длины строки DMA.....	13
5.2.9. Регистр инициализации динамической памяти.....	13
5.2.10. Регистр управления внутренним буфером памяти.....	13
5.2.11. Регистр управления подсистемой ввода изображения.....	14
5.2.12. Регистр управления подсистемой вывода изображения.....	14
5.2.13. Регистры усиления и смещения уровня черного входного сигнала, регистр определения амплитуды входного сигнала. Автоматическая настройка яркости.....	14
5.2.14. Регистр коммутации аналоговых входов.....	15
5.2.15. Регистры настройки формата кадра.....	16
5.2.16. Регистры настройки формата строба статистики.....	17
5.2.17. Регистры цифровой обработки входного сигнала.....	17
5.3. ОРГАНИЗАЦИЯ И ФУНКЦИОНИРОВАНИЕ ВНУТРЕННЕГО БУФЕРА ПАМЯТИ.....	19
6. ОБМЕН ДАННЫМИ В РЕЖИМЕ DMA.....	21
6.1. Основной старт DMA.....	21
6.2. Промежуточный старт DMA.....	21
6.3. Завершение процесса DMA.....	21
7. ВВОД ИЗОБРАЖЕНИЯ В РЕЖИМЕ ВНЕШНЕГО ЗАПУСКА.....	22
8. ВКЛЮЧЕНИЕ ПЛАТЫ.....	22
9. ГАРАНТИЙНЫЕ ОБЯЗАТЕЛЬСТВА.....	23
ПРИЛОЖЕНИЕ 1. КОНФИГУРИРОВАНИЕ УСТРОЙСТВА RT-826 В ОПЕРАЦИОННОЙ СИСТЕМЕ MS-DOS.....	24

1. Введение.

Устройство ввода-вывода и обработки телевизионных изображений RT-826 представляет собой мультимедийный **видеопроцессор**, предназначенный для высококачественного ввода черно-белого телевизионного изображения в ПК и обработки его в реальном времени. Источником сигнала могут быть ТВ камеры, электронные микроскопы, рентгеновские установки и любые другие устройства, выдающие видеосигнал в различных телевизионных стандартах. Важным свойством видеопроцессора является сочетание таких характеристик, как высокое пространственное разрешение и ввод сигналов без пропуска кадров с высокой частотой их следования (50 Гц и более). Система фазовой автоподстройки частоты позволяет уменьшить дрожание пикселя до 4 нсек.

Видеопроцессор имеет 4-канальный входной мультиплексор и видеовыход, позволяющий контролировать на внешнем видеоконтрольном устройстве (ВКУ) ввод сигнала, выводить на ВКУ “замороженный” кадр или последовательность кадров в реальном времени. Для подключения внешних сигналов синхронизации или управляющих и исполнительных устройств имеется четырехразрядный цифровой интерфейс (ТТЛ).

2. Технические характеристики.

Видеовход

- 4 программно коммутируемых видеовхода.
- Входное сопротивление: 75 Ом.
- Уровень входного сигнала: от 0.5V pp до 2V pp.
- Полярность синхроимпульсов: отрицательная.
- Синхронизация: внешняя (ТТЛ - уровень) или внутренняя.
- Программная регулировка усиления входного сигнала в диапазоне ± 9 дБ и уровня чёрного в диапазоне $\pm 0.3V$; дискретность регулировок – 256 градаций; линейность регулировок – $\pm 5\%$.
- Автоматическая настройка усиления и уровня черного (полное использование динамического диапазона АЦП в автоматическом режиме).
- АЦП: 12 бит, частота дискретизации до 40 МГц.
- Программируемый формат оцифровки кадра: до $1024 * 1024 * 8/12$ – 1024 строк, 1024 пикселей в строке, 256/4096 градаций серого.
- Дрожание пикселя (*jitter*): не более ± 2 нсек.

Видеовыход

- Выходной сигнал в стандарте **ГОСТ 7845-92, CCIR, RS-170**.
- Уровень выходного сигнала: 1.0V pp на нагрузке 75 Ом.
- Уровень и полярность синхроимпульсов: 0.35V, отрицательная.
- Программируемый генератор ТВ сигнала.
- ЦАП: 8 бит, частота дискретизации до 32 МГц.

Интерфейс и внутренняя память

- Внутренний буфер памяти: 8 Мбайт (4 полных телевизионных кадра).
- Интерфейс: 32 битная шина **PCI MASTER**.
- Подключение в стандарте Plug & Play.
- Скорость передачи данных: средняя – 60 Мбайт/сек, пиковая – 132 Мбайт/сек.
- 4 программируемых цифровых входа/выхода.

Конструкция и размеры

- Платы изготовлены на базе ПЛИМ фирмы **ALTERA** по технологии **SMD**.
- Габаритные размеры мм - 120 * 86 * 20.

3. Устройство и работа изделия.

3.1. Основные термины и сокращения.

ВКУ – видеоконтрольное устройство.

КСИ – кадровый синхроимпульс.

ССИ – строчный синхроимпульс.

АЦП – аналого-цифровой преобразователь.

ADC – (*Analog Digital Converter*) английская аббревиатура АЦП.

ЦАП – цифро-аналоговый преобразователь.

DAC – (*Digital Analog Converter*) английская аббревиатура ЦАП.

DMA – (*Direct Memory Access*) прямой доступ к памяти. Для пересылки изображения из внутренней памяти в память ПЭВМ и обратно, видеопроцессор использует механизм прямого доступа к памяти.

Окно ввода – прямоугольная область внутри кадра, в пределах которой, будет производиться оцифровка изображения.

Окно вывода – прямоугольная область внутри кадра, в которую будет записываться выводимое изображение.

Строб статистики - прямоугольная область внутри окна ввода, используемая для статистических измерений. Размер строка не может превышать размера окна ввода.

Фиксация кадра изображения – оцифровка и запись полного кадра изображения в один из банков внутреннего буфера памяти видеопроцессора.

DSP – (*Digital Signal Processing*) цифровая обработка сигнала.

Банк памяти – часть внутренней памяти видеопроцессора объемом 2 МБ для работы с одним кадром изображения. Число банков равно 4.

ADC банк – банк, в который на данный момент времени записывается оцифрованное изображение.

PCI банк – банк, из которого в текущий момент времени осуществляется пересылка оцифрованного изображения в память ПЭВМ при вводе кадров или в который осуществляется пересылка изображения из памяти ПЭВМ при выводе кадров на ВКУ

DAC банк – банк, используемый для цифро-аналогового преобразования изображения (вывода изображения).

DSP банк – банк, в котором хранится изображение, используемое как второй операнд при DSP обработке сигнала.

Чередование (переключение) банков – смена назначения банка памяти. Например, в один момент времени он может использоваться для приема оцифрованного изображения (**ADC банк**), а в следующий момент после переключения, он будет использоваться для обмена с памятью ПЭВМ (**PCI банк**). При переключении банков никакой пересылки данных между ними не происходит.

3.2. Общая функциональная схема.

Устройство **RT-826**, функциональная схема которого приведена на рис.1, состоит из следующих основных узлов:

- **4-х канальный видеокоммутатор** – осуществляет коммутацию аналоговых входов (время переключения - 8 нс);
- **схема восстановления постоянной составляющей (DC)** – осуществляет привязку телевизионного сигнала к уровню чёрного;
- **нормирующий усилитель** – обеспечивает согласование уровня входного сигнала с динамическим диапазоном АЦП;
- **схема регулировки смещения постоянной составляющей (DC) и усиления** – позволяет автоматически или вручную настраивать яркость и контрастность входного телевизионного изображения (256 градаций);
- **схема выделения сигналов синхронизации** – выделяет из входного сигнала строчные и кадровые синхроимпульсы;
- **ADC** – 12-ти разрядный аналого-цифровой преобразователь (АЦП);
- **GenLock** – широкодиапазонный генератор частоты квантования входного сигнала (пиксельной частоты). Имеет систему фазовой автоподстройки частоты (ФАПЧ) и обеспечивает дрожание пикселя (jitter) не более ± 2 нс;
- **DAC** – 8 разрядный цифро-аналоговый преобразователь (ЦАП);
- **подсистема ввода изображения** – основной канал ввода. Формирует окно ввода кадров ТВ изображения, осуществляет управление фиксацией изображения во внутреннем буфере памяти;
- **схема формирования строка** – формирует прямоугольную область внутри окна ввода, в которой производятся статистические измерения, определяются максимальные и минимальные уровни сигналов;
- **подсистема вывода изображения** – формирует окно вывода выходного телевизионного изображения, вырабатывает сигналы синхронизации, осуществляет переключение потоков данных (сквозной канал АЦП-ЦАП / вывод из внутреннего буфера памяти);
- **выходной усилитель** – формирует выходной телевизионный сигнал и обеспечивает согласование с 75-омной нагрузкой;
- **схема управления и синхронизации** – осуществляет общее управление всеми процессами в устройстве;
- **RAM** – 32-х разрядный внутренний буфер памяти (4 МБ). Функционально разделен на 4 банка по 1 МБ;
- **DSP** – блок цифровой обработки сигналов реального времени. Выполняет целочисленные операции сложения, вычитания, умножения и деления элементов одного или нескольких изображений, позволяет реализовать различные виды накопления.
- **PCI Interface 2.1, контроллер DMA, конфигурационные и операционные регистры** – обеспечивают связь **RT-826** с оперативной памятью компьютера через шину PCI в режимах MASTER и TARGET.

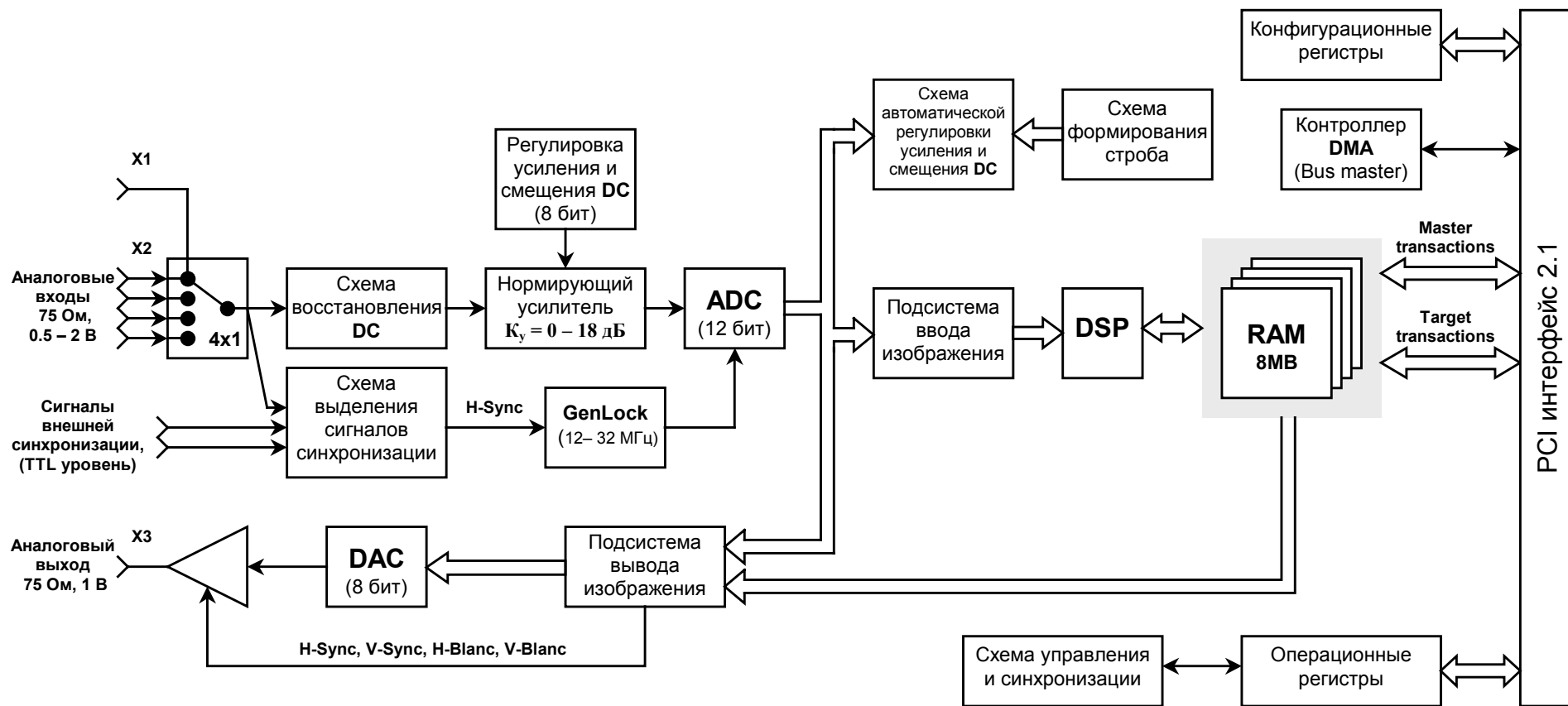


Рис. 1. Функциональная схема видеопроцессора RT-826.

4. Режимы работы изделия.

Устройство RT-826 имеет следующие основные режимы работы:

- непрерывный или одиночный ввод кадров телевизионного изображения в оперативную память компьютера с одновременным просмотром его на внешнем видеоконтрольном устройстве (ВКУ);
- вывод на внешнее ВКУ одиночного кадра (без ввода изображения в компьютер);
- вывод на внешнее ВКУ серии ранее введенных кадров в реальном времени или с замедлением (без ввода изображения в компьютер).

5. Программируемые ресурсы.

Устройство RT-826 подключается к ПЭВМ через шину PCI и использует 32 Кбайт адресного пространства оперативной памяти и одну линия аппаратного прерывания. Для выделения устройству необходимых ресурсов средствами операционной системы (как правило, на этапе загрузки ПК) проводится начальная инициализация устройства. Результаты инициализации фиксируются в конфигурационном заголовке (регистрах конфигурации).

5.1. Регистры конфигурации шины PCI.

В соответствии со стандартом шины PCI, каждое устройство, подключенное к шине, должно иметь конфигурационный заголовок, определяющий порядок взаимодействия устройства с арбитром шины. Конфигурационный заголовок состоит из регистров конфигурации (8-, 16- и 32-разрядных), которые занимают в общей сложности 256 байт. В таблице 1 приведен полный перечень и порядок расположения регистров в конфигурационном заголовке. В таблице 2 дано краткое описание регистров конфигурации, которые поддерживаются видеопроцессором RT-826 (выделены серым цветом в табл.1).

Таблица 1

Address	Byte			
	3	2	1	0
00H	Device ID		Vendor ID	
04H	Status Register		Command Register	
08H	Class Code			Revision ID
0CH	BIST	Header Type	Latency Timer	Cache Line Size
10H	Base Address Register 0			
14H	Base Address Register 1			
18H	Base Address Register 2			
1CH	Base Address Register 3			
20H	Base Address Register 4			
24H	Base Address Register 5			
28H	Card Bus CIS Pointer			
2CH	Subsystem ID		Subsystem Vendor ID	
30H	Expansion ROM Base Address Register			
34H	Reserved			
38H	Reserved			
3CH	Maximum Latency	Minimum Grant	Interrupt Pin	Interrupt Line

40H..FFH	Reserved
----------	----------

Таблица 2

Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
00h	00h-01h	Чтение	5254h	Vendor ID	Идентификатор производителя устройства – фирма РАСТР ТЕХНОЛОДЖИ
02h	02h-03h	Чтение	0826h	Device ID	Идентификатор типа устройства – плата RT-826
04h	04h-05h	Чтение/ запись	0000h	Command	Обеспечивает подключение устройства к шине PCI: бит 0 – не используется; бит 1 – разрешает доступ к памяти; бит 2 – разрешает режим MASTER; биты 5..3 – не используются; бит 6 – разрешает выдачу сигнала PERR на шине PCI при обнаружении ошибки четности данных; бит 7 – не используется; бит 8 – разрешает выдачу сигнала SERR на шине PCI при обнаружении ошибки четности адреса (должен быть установлен бит 6); биты 15..9 – не используются.
06h	06h-07h	Чтение/ запись	0400h	Status	Содержит информацию о некоторых режимах и результатах работы устройства на шине PCI (для процесса начальной инициализации устройства этот регистр не используется).
08h	08h-08h	Чтение	02h	Revision ID	Идентификатор номера версии исполнения устройства
09h	09h-0Bh	Чтение	040000h	Class Code	Содержит информацию о принадлежности данного устройства к определенному классу устройств (плата RT826 принадлежит к классу устройств Multimedia).
0Dh	0Dh-0Dh	Чтение/ запись	00h	Latency Timer	Используется в режиме MASTER для определения длительности непрерывной передачи одной порции данных на шине PCI. Биты 2..0 – не используются и равны 0; Биты 7..3 – определяют длительность непрерывной порции данных в тактах шины PCI, умноженных на 8 (максимальное число – 0, что соответствует 256-ти тактам).
0Eh	0Eh-0Eh	Чтение	00h	Header Type	Указывает на то, что RT-826 не является многофункциональным PCI устройством (см. спецификацию шины).
10h	10h-13h	Чтение/ запись	00000000h	Base Address Register 0	Первый базовый адресный регистр. Он определяет диапазон адресов памяти, занимаемых устройством, и место его расположения в общем пространстве адресов памяти. Биты 14..0 используются только для чтения, а биты 31..15 – для чтения и записи. Бит 0 – равен 0 и указывает на принадлежность базового адреса к пространству адресов памяти; Биты 2..1 – равны 0, что определяет возможность расположения занимаемого устройством диапазона адресов памяти в любом месте 32-х разрядного адресного пространства; Бит 3 – равен 0 и указывает на то, что режим "Prefetchable" устройством не поддерживается (см. спецификацию шины PCI); Биты 14..4 – равны 0 и указывают на то, что диапазон адресов памяти, занимаемого устройством, составляет 32 Кбайт; Биты 31..15 – определяют базовый адрес в 32-х разрядном адресном пространстве памяти.

Смещение адреса регистра	Адресный диапазон регистра	Чтение / запись	Начальное значение	Название регистра	Описание регистра
3Ch	3Ch-3Ch	Чтение/запись	FFh	Interrupt Line	Определяет номер прерывания (от 0 до 15), используемого устройством. Значение FFh говорит о том, что прерывание по умолчанию не используется.
3Dh	3Dh-3Dh	Чтение	01h	Interrupt Pin	Информирует о том, какая аппаратная линия на шине PCI задействована под прерывание. Значение 01h говорит о том, что под прерывание задействована линия INTA#.
3Eh	3Eh-3Eh	Чтение	10h	Minimum Grant	Используется только как информационный и сообщает арбитру шины о предполагаемой длительности непрерывной порции данных, передаваемых через шину. Значение длительности выражено в 250-ти наносекундных отрезках (10h x 250нс = 4 мкс).
3Fh	3Fh-3Fh	Чтение	00h	Maximum Latency	Используется только как информационный и сообщает арбитру шины о том, как часто устройство предполагает задействовать шину для передачи данных. Значение 00h говорит о том, что требования к этому параметру не определены.

5.2. Операционные регистры.

После проведения процесса инициализации видеопроцессору RT-826 будет выделено 32 Кбайт в адресном пространстве памяти компьютера. Функционально это пространство состоит из двух частей: нижние 16 Кбайт занимают управляющие *операционные регистры*, а верхние 16 Кбайт являются окном, через которое происходит обмен данными между внутренним буфером памяти RT-826 и оперативной памятью компьютера. Следует отметить, что это окно используется только в режиме TARGET (в режиме MASTER данное окно не используется).

Физический адрес первого операционного регистра определяется значением, указанным в первом базовом адресном регистре конфигурационного заголовка. Например, если базовый адрес равен 000D0000h, то операционные регистры займут область памяти 000D0000 – 000D3FFF, а окно обмена данными – область с 000D4000h по 000D7FFFh.

Операционные регистры, имеющие разрядность более 16 бит, программируются только с помощью 32-х разрядных операций чтения/записи (не допускается запись, например, сначала младших, а затем старших 16 бит).

В таблице 3 приведен перечень всех операционных регистров устройства.

Таблица 3

Смещение адреса регистра	Направление операции (чтение/запись)	Аббревиатура регистра	Описание регистра
00H	запись	Syst_Ctrl	Системный регистр управления
04H	запись	DMA_Ctrl	Регистр управления режимом DMA
08H	запись	DMA_Addr	Регистр адреса DMA
0CH	запись	DMA_Byte	Регистр счетчика данных DMA
10H	чтение	Reg_Events	Регистр событий
14H	чтение	Reg_Stat	Регистр статуса
18H	запись/чтение	Reg_DIO	Регистр цифрового ввода-вывода
20H	запись	DMA_Line	Регистр длины строки DMA
24H	запись	Mem_Addr	Регистр адреса первого поля кадра

Смещение адреса регистра	Направление операции (чтение/запись)	Аббревиатура регистра	Описание регистра
28H	запись	Mem_Addr1	Регистр адреса второго поля кадра
34H	запись	Mem_Init	Регистр инициализации динамической памяти
38H	запись	PLL_Ctrl	Регистр управления внутренним буфером памяти
3CH	запись	ADC_Ctrl	Регистр управления подсистемой ввода изображения
40H	Запись	DAC_Ctrl	Регистр управления подсистемой вывода изображения
44H	запись	MUX_A	Регистр коммутации аналоговых входов
98H	запись	ADC_Ctrl	Регистр аналогового смещения уровня черного
48H	запись	Reg_Level	Регистр цифрового смещения уровня черного
4CH	запись	Reg_Gain	Регистр усиления входного сигнала
50H	чтение	ADC_MinMax	Регистр определения амплитуды входного сигнала
Регистры настройки формата кадра			
54H	запись	PLL_Ctrl	Регистр настройки частоты оцифровки
58H	запись	Len_Line_All	Полная длина строки (количество пикселей)
5CH	запись	Beg_Line_Act	Начало активной части строки (номер пикселя)
60H	запись	Len_Line_Act	Длина активной части строки (количество пикселей)
64H	запись	Numb_Line_Act	Начало активной части первого поля кадра (номер строки)
68H	запись	Beg_Field2_Act	Начало активной части второго поля кадра (номер строки)
6CH	запись	Numb_Line_Act	Число активных строк кадра
70H	запись	Numb_Line_All	Число всех строк кадра
84H	запись	T_Line	Период строчной частоты (в микросекундах)
Регистры настройки формата строба статистики			
A0H	запись	Strob_L	Левая граница строба внутри кадра
B0H	запись	Strob_R	Правая граница строба внутри кадра
B4H	запись	Strob_U	Верхняя граница строба внутри кадра
BCH	запись	Strob_D	Нижняя граница строба внутри кадра
Регистры цифровой обработки сигнала			
A0H	запись	ADC_DSP	Регистр функций DSP обработки (опция)
94H	запись	Reg_Accum	Регистр управления накоплением входного сигнала
D8H	запись	Reg_RC	Регистр управления рекурсивным фильтром (опция)

5.2.1. Системный регистр управления.

С помощью регистра **Syst_Ctrl** задается маска прерываний по различным событиям и осуществляется настройка цифровых линий ввода-вывода.

Установкой в 1 битов D8..D1 регистра **Syst_Ctrl** разрешается фиксация соответствующих событий в регистре **Reg_Events**. Бит D0 разрешает генерацию прерываний от устройства при наступлении этих событий.

Биты	Описание
0	Общее разрешение прерываний
1	Разрешение прерывания при завершении DMA
2	Разрешение прерывания от входных кадровых синхроимпульсов
3	Разрешение прерывания от выходных кадровых синхроимпульсов
4	Разрешение прерывания при пропадании входного сигнала

Биты	Описание
5	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-1
6	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-2
7	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-3
8	Разрешение прерывания по изменению логического состояния на цифровой линии I/O-4
12..9	Выбор направления цифровых линий I/O-4 .. I/O-1 0 - ввод с внешнего разъема 1 - вывод логических ТТЛ уровней на внешний разъем через биты D3..D0 регистра Reg_DIO
31..13	Не используется

5.2.2. Регистр управления режимом DMA.

Регистр **DMA_Ctrl** организует порядок обмена данными через интерфейс PCI в режиме MASTER.

Биты	Описание
0	Формат данных при передаче в режиме двух байт на пиксель: 0 - 12-ти разрядный формат (значащие биты – D11...D0) 1 - 16-ти разрядный формат (значащие биты – D15...D0)
1	Принудительный останов режима DMA 0 - DMA проходит в обычном режиме 1 - режим DMA остановлен
2	Разрядность передаваемых данных 0 - один байт на пиксель (8 бит) 1 - два байта на пиксель (12/16 бит)
3	Направление передачи данных через интерфейс PCI: 0 - данные записываются во внутренний буфер видеопроцессора 1 - данные читаются из внутреннего буфера видеопроцессора
4	Чтение/запись чересстрочного изображения 0 - последовательное (прогрессивное) чтение/запись данных 1 - чтение/запись данных через строку (длина строки в пикселях указывается в регистре DMA_Line)
5	Чтение/запись данных с вертикальным отражением 0 - чтение/запись данных от верхней строки к нижней 1 - чтение/запись данных от нижней строки к верхней (Vertical Flip)
31..6	Не используются

5.2.3. Регистр адреса DMA.

В регистр **DMA_Addr** записывается 32-х разрядный адрес, указывающий на начало области оперативной памяти компьютера, с которой будет организован обмен данными при выполнении DMA. Операция записи в регистр **DMA_Addr** дает также старт процессу DMA.

5.2.4. Регистр счетчика данных DMA.

Регистр **DMA_Byte** является 21-разрядным счетчиком количества переданных байт в ходе выполнения DMA. За один цикл DMA можно передать до 1024 Кбайт данных в формате один байт на пиксель или 2048 Кбайт данных в формате два байта на пиксель. Значение количества байт, записываемое в регистр, должно быть кратно 16.

5.2.5. Регистр событий.

В регистре **Reg_Events** фиксируется информация о событиях, вызвавших прерывание. В момент наступления одного из разрешенных событий устанавливается в 1 соответствующий бит регистра **Reg_Events** и выдается прерывание. При чтении регистра все установленные в 1 биты сбрасываются в 0, а прерывание снимается.

Важно! При обработке прерываний чтение регистра **Reg_Events** является обязательным условием.

Биты	Описание
0	Завершение процесса DMA. Бит устанавливается в "1", когда счетчик количества переданных байт достигнет нуля, что свидетельствует об успешном завершении процесса DMA.
1	Ошибка во время выполнения DMA
2	Появление кадрового синхроимпульса во входном сигнале
3	Появление кадрового синхроимпульса в выходном сигнале
4	Пропадание входного сигнала
5	Изменение логического состояния одного либо нескольких цифровых входов
6	Завершение фиксации строки с заданным номером в буфере памяти RT826 (по спец. заказу)
31..7	Не используются

5.2.6. Регистр статуса.

В регистре статуса **Reg_Stat** отражается информация о состоянии устройства и происходящих в нем процессах.

Биты	Описание
0	Окончание фиксации кадра во внутреннем буфере памяти. Бит сбрасывается в "0" при программировании режима фиксации кадра и устанавливается в "1" в конце ввода одного кадра в режиме без накопления или последнего введенного кадра в режиме с накоплением 0 – процесс фиксации кадра не закончен 1 – процесс фиксации кадра закончен
1	Фиксация телевизионного кадра во внутреннем буфере памяти. Бит устанавливается в "1" с началом ввода кадра и сбрасывается в "0" в конце ввода кадра в режиме без накопления или последнего введенного кадра в режиме с накоплением 0 – процесс фиксации еще не начат или уже закончен 1 – идет процесс фиксации кадра ТВ сигнала
2	Кадровый синхроимпульс во входном сигнале. Бит устанавливается в "1", когда во входном сигнале присутствуют кадровые синхроимпульсы полей кадра.
3	Номер (или четность) поля текущего кадра входного телевизионного сигнала 0 – первое поле кадра 1 – второе поле кадра
4	Отсутствие входного телевизионного сигнала 0 – сигнал на входе присутствует 1 – сигнала на входе нет
5	Вывод очередного кадра изображения. Бит устанавливается в "1" в начале и сбрасывается в "0" в конце вывода полного кадра. Он может использоваться для синхронизации смены банков памяти с записанными в них телевизионными кадрами при выводе изображения на внешний монитор.
6	Процесс DMA активен. Бит устанавливается в "1" при записи адреса в регистр DMA_Addr и сбрасывается в "0" при завершении либо остановке процесса DMA.
23..7	Не используются
31..24	Не используются

5.2.7. Регистр цифрового ввода-вывода.

Регистр **Reg_DIO** осуществляет связь видеопроцессора с внешним устройством посредством сигналов в уровнях ТТЛ логики через соответствующие цифровые линии. Направление передачи сигналов для каждого цифрового входа-выхода устанавливается битами D12..D9 регистра **Syst_Ctrl**. Линия **I/O-2** через резистор 1 кОм подключена к +5В и может использоваться для внешнего запуска с помощью кнопки (замыканием на корпус).

Биты	Описание
3..0	Входные/выходные цифровые линии I/O-4 .. I/O-1 (см. таблицу 3)
31..8	Не используются

5.2.8. Регистры адреса первого и второго полей кадра, регистр длины строки DMA.

Регистры **Mem_Addr** и **Mem_Addr1** (21 бит) являются указателями на текущий адрес памяти банка во внутреннем буфере видеопроцессора для первого и второго полей кадра (номер банка определяется битами D[1..0] регистра **PCI_Ctrl**). При выполнении DMA эти указатели смещаются в соответствии с количеством переданных байт в каждом поле.

При прогрессивном способе обмена данными в регистры **Mem_Addr** и **Mem_Addr1** записывается адрес первой (при чтении/записи строк сверху вниз) или последней (при чтении/записи строк снизу вверх) строки окна ввода кадра. Окно ввода определяется регистрами входного/выходного формата кадра (5.2.15).

При чересстрочном способе обмена данными и чтении/записи строк сверху вниз в регистр **Mem_Addr** записывается адрес первой строки первого поля окна ввода кадра, а в регистр **Mem_Addr1** – адрес первой строки второго поля окна ввода.

При чересстрочном способе обмена данными и чтении/записи строк снизу вверх (Vertical Flip) в регистр **Mem_Addr** записывается адрес последней строки второго поля окна ввода кадра, а в регистр **Mem_Addr1** – адрес последней строки первого поля.

Если передается не все окно ввода, то в регистры **Mem_Addr** и **Mem_Addr1** записываются необходимые смещения от начала (или конца) полей кадра. В этом случае значение регистра **Mem_Addr1** можно вычислить по формуле:

$[Mem_Addr] + [DMA_Line] * [Numb_Line_Act + 1] / 2$ – для 8-разрядных данных;

$[Mem_Addr] + [DMA_Line] * [Numb_Line_Act + 1]$ – для 16-разрядных данных.

Регистр **DMA_Line** (11 бит) определяет длину строки передаваемого через шину PCI кадра в пикселях.

Значения, записываемые в регистры **Mem_Addr**, **Mem_Addr1** и **DMA_Line**, должны быть кратны 16.

5.2.9. Регистр инициализации динамической памяти.

Регистр **Mem_Init** используется для инициализации динамической памяти RT826. При старте драйвера или программы в этот регистр записывается значение 0.

5.2.10. Регистр управления внутренним буфером памяти.

Регистр **PCI_Ctrl** осуществляет выбор PCI банка, а также организует порядок обмена данными с внутренним буфером памяти в режиме TARGET (см. раздел ‘Организация внутреннего буфера памяти’).

Биты	Описание																																										
1..0	Выбор номера банка для обмена данными через PCI (выбор PCI банка)																																										
2	Не используется																																										
9..3	Номер окна в PCI банке (только для режима TARGET) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>D8</th> <th>D7</th> <th>D6</th> <th>D5</th> <th>D4</th> <th>D3</th> <th>Номер окна</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>63</td> </tr> </tbody> </table>	D8	D7	D6	D5	D4	D3	Номер окна	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	0	2								1	1	1	1	1	1	63
D8	D7	D6	D5	D4	D3	Номер окна																																					
0	0	0	0	0	0	0																																					
0	0	0	0	0	1	1																																					
0	0	0	0	1	0	2																																					
1	1	1	1	1	1	63																																					
31..9	Не используются																																										

5.2.11. Регистр управления подсистемой ввода изображения.

Регистр **ADC_Ctrl** осуществляет управление фиксацией входного ТВ изображения во внутреннем буфере памяти видеопроцессора.

Биты	Описание
1..0	Выбор номера банка для ввода ТВ сигнала (ADC банка)
4..2	Не используются
5	Включение прорисовки границ строба статистики
7..6	Не используются
8	Включение режима фиксации кадра. Бит автоматически сбрасывается по окончании фиксации кадра.
31..9	Не используются

5.2.12. Регистр управления подсистемой вывода изображения.

Регистр **DAC_Ctrl** управляет выводом ТВ изображения из внутреннего буфера памяти видеопроцессора на внешний монитор.

Биты	Описание
1..0	Выбор номера банка для вывода ТВ сигнала (DAC банка)
3..2	Не используются
4	Включение режима вывода одного полукадра. В этом режиме при выводе на экран монитора второе поле кадра замещается первым (полезно при просмотре динамических изображений)
5	Включение режима просмотра входного изображения – сквозного канала АЦП – ЦАП. При вводе ТВ сигнала этот бит должен быть обязательно установлен в 1 0 – вывод изображения на внешний монитор из внутреннего буфера памяти (ввод ТВ сигнала невозможен) 1 – на внешний монитор сигнал поступает непосредственно с аналогового входа
6	Включение гашения выходного сигнала (без обнуления данных во внутреннем буфере)
31..7	Не используются

5.2.13. Регистры усиления и смещения уровня черного входного сигнала, регистр определения амплитуды входного сигнала. Автоматическая настройка яркости.

С помощью 8-разрядных регистров **Reg_Gain**, **ADC_Offset** и **Reg_Level** осуществляется настройка контрастности и яркости вводимого изображения. Регистр **Reg_Gain** производит регулировку усиления видеосигнала и определяет максимальный уровень белого. Регистр **Reg_Level** задает смещение постоянной составляющей видеосигнала и используется для настройки уровня черного.

Регистр определения амплитуды входного сигнала **ADC_MinMax** позволяет за время ввода кадра определить минимальное (**ADC_Min**) и максимальное (**ADC_Max**) 8/12-ти битовые значения входного сигнала внутри строба статистики. Эти значения в дальнейшем могут быть использованы для корректировки содержимого регистров **Reg_Gain** и **Reg_Level** с целью оптимальной настройки яркости и контрастности вводимого изображения.

Биты	Описание
7..0	Старшие 8 бит минимального уровня входного сигнала, зафиксированного во время ввода последнего кадра.
15..8	Старшие 8 бит максимального уровня входного сигнала, зафиксированного во время ввода последнего кадра.
19..16	Младшие 4 бита минимального уровня входного сигнала. Совместно с битами D7..D0 используются для формирования 12-ти разрядного значения.
23..20	Младшие 4 бита максимального уровня входного сигнала. Совместно с битами D15..D8 используются для формирования 12-ти разрядного значения.
31..24	Не используются

Автоматическая регулировка яркости и контрастности вводимого изображения заключается в нахождении таких значений регистров **Reg_Gain** и **Reg_Level**, при которых входной видеосигнал растягивается на весь диапазон АЦП. При этом сигнал оценивается лишь в выбранной зоне интереса – в стробе статистики, который может иметь размер от нескольких пикселей до полного кадра. Алгоритм автоматической регулировки состоит из двух шагов.

Сначала при минимальном усилении (**[Reg_Gain] = 0**) методом последовательного приближения определяется оптимальное значение регистра **Reg_Level**, соответствующее минимальному значению **ADC_Min** в исследуемом сигнале. Как правило, значение регистра **[Reg_Level] = 128** соответствует уровню черного входного сигнала. Корректировка в ту или другую сторону может потребоваться, если в выбранной зоне интереса (в стробе статистики) минимальный уровень сигнала выше уровня черного или диапазон уровней сигнала достаточно мал. Вторым шагом рассчитывается оптимальный коэффициент усиления, соответствующий максимально допустимому уровню белого. Коэффициент усиления линейно регулируется в пределах 0 – 18 дБ и пересчитывается в значение регистра **Reg_Gain** по следующей формуле:

$$[\text{Reg_Gain}] = (20 * \lg (K) / 18) * 255 * 0.99 \text{ или}$$

$$[\text{Reg_Gain}] = (20 * 0.4343 * \ln (K) / 18) * 255 * 0.99$$

где **K** – коэффициент аналогового усиления, равный
K = 256 / ADC_Max, если используется 8-битовое значение **ADC_Max** или
K = 4096 / ADC_Max, если используется 12-битовое значение **ADC_Max**.

Значение регистра **Reg_Gain** не должно превышать 255. Коэффициент 0.99 служит для небольшого снижения рассчитанного диапазона уровней сигнала.

5.2.14. Регистр коммутации аналоговых входов.

Регистр **MUX_A** осуществляет подключение одного из четырех аналоговых входов.

Биты	Описание				
1..0	Выбор аналогового входа <table style="margin-left: 20px;"> <tr> <td>D1 D0</td> <td>Номер входа</td> </tr> <tr> <td>0 0</td> <td>0</td> </tr> </table>	D1 D0	Номер входа	0 0	0
D1 D0	Номер входа				
0 0	0				

Биты	Описание
	0 1 1
	1 0 2
	1 1 3
31..2	Не используются

5.2.15. Регистры настройки формата кадра.

Аббревиатура регистра	Описание регистра	Значение для сигнала стандарта CCIR
Len_Line_All	Общая длина строки (количество пикселей в строке)	943
Beg_Line_Act	Количество пикселей от переднего фронта синхроимпульса до начала активной части строки	159
Len_Line_Act	Длина активной части строки (в пикселях)	767
Beg_Field1_Act	Номер строки, соответствующей началу активной части первого поля кадра	21
Beg_Field2_Act	Номер строки, соответствующей началу активной части второго поля кадра	*
Numb_Line_Act	Число активных строк кадра	575
Numb_Line_All	Число всех строк кадра	624
T_Line	Период строчной частоты (в тактах опорной 14.746 МГц частоты)	943

В зависимости от значения бита D5 регистра **DAC_Ctrl** регистры формата кадра определяют либо формат оцифровки кадра при вводе ТВ изображения (D5=1), либо формат кадра при выводе изображения на внешний монитор (D5=0).

В регистры **Len_Line_All**, **Beg_Line_Act**, **Len_Line_Act**, **Beg_Field1_Act**, **Beg_Field2_Act**, **Numb_Line_Act**, **Numb_Line_All** записываются значения на единицу меньше фактических.

Значение регистра **Beg_Field2_Act** зависит от типа развертки видеосигнала и начала активной части первого поля кадра. Для сигнала с чересстрочной разверткой значение регистра **Beg_Field2_Act** вычисляется по формуле:

$$[\text{Beg_Field2_Act}] = [\text{Numb_Line_All}] / 2 + [\text{Beg_Field1_Act}] + 1$$

Для сигнала с прогрессивной разверткой в регистр **Beg_Field2_Act** записывается то же значение, что и в регистр **Beg_Field1_Act**.

В регистр **T_Line** записывается значение периода строчной частоты сигнала в тактах опорной частоты 14.746 МГц:

$$[\text{T_Line}] = \text{int} (\text{T} * 14.746) - 1, \quad \text{где } \text{T} \text{ – период строчной частоты в микросекундах}$$

Все перечисленные регистры имеют разрядность 11 бит (максимальное значение 2047). Однако при выборе формата кадра необходимо учитывать следующие ограничения:

- длина активной части строки должна быть кратна 16;
- максимальный размер активной части кадра, равный произведению $[\text{Len_Line_Act}] * [\text{Numb_Line_Act}]$, должен быть не более 1 МБ при выводе изображения или вводе его без накопления, и не более 512 КБ при вводе изображения с накоплением кадров.

Регистр **PLL_Ctrl** служит для настройки ФАПЧ генератора частоты оцифровки входного/выходного видеосигнала. Значения битов регистра в зависимости от частоты оцифровки, т.е. отношения общей длины строки в пикселях – L (регистр **Len_Line_All**) к периоду строчной частоты сигнала в микросекундах – L/T (T = 64 мкс), указаны в таблице.

Биты	L / T	Значение
------	-------	----------

Биты	L / T	Значение
7..0	–	Не используются
9..8	>22	00
	12..22	01
	8..12	10
	< 8	11
10	–	Не используется
11	–	Выбор синхронизации при выводе видеосигнала: 0 - синхроимпульсы формируются внутренним генератором 1 - синхроимпульсы выделяются из входного сигнала. В этом случае при переключении режимов ввода/вывода изображение на ВКУ не подергивается.
12	–	Включение помехоподавляющего фильтра в цепи выделения сигналов синхронизации: 0 - используется при стабильном входном сигнале 1 - используется при неустойчивой синхронизации
13	–	Включение альтернативного метода выделения строчных синхроимпульсов. Используется для некоторых видеосигналов с нестандартной структурой синхросмеси. 0 - альтернативный метод отключен. 1 - альтернативный метод включен. Невозможно включение помехоподавляющего фильтра
31..14	–	Не используются

5.2.16. Регистры настройки формата строба статистики.

Аббревиатура регистра	Описание регистра
Strob_L	Количество пикселей от левой границы кадра до левой границы строба
Strob_R	Количество пикселей от левой границы кадра до правой границы строба
Strob_U	Количество пикселей от верхней границы первого поля кадра до верхней границы строба
Strob_D	Количество пикселей от верхней границы первого поля кадра до нижней границы строба

Строб статистики используется для задания некоторой прямоугольной области внутри кадра, где будут вычисляться минимальные и максимальные значения уровня входного сигнала. Размер и положение строба может быть произвольным, но не выходящим за границы кадра при прогрессивной развертке или за границы первого поля кадра при чересстрочной развертке. Это означает, что для сигнала с чересстрочной разверткой в регистры **Strob_U** и **Strob_D** записываются значения в два раза меньшие фактических, поскольку во втором поле кадра строб будет повторен с теми же параметрами что и в первом.

Границы строба при вводе изображения можно прорисовать, включив бит D5 в регистре **ADC_Ctrl**.

При любом изменении формата кадра размер строба автоматически становится равным размеру кадра. Поэтому, для восстановления прежних границ строба потребуется повторно запрограммировать регистры формата строба, не забыв при этом проверить значения параметров на допустимый диапазон.

5.2.17. Регистры цифровой обработки входного сигнала.

Регистр **ADC_DSP**¹ осуществляет управление цифровой обработкой ТВ сигнала, поступающего от подсистемы ввода изображения.

¹ В данной версии видеопроцессора этот регистр не поддерживается

Биты	Описание																												
1..0	Выбор банка в качестве второго операнда для DSP обработки (выбор DSP банка)																												
3..2	Не используются																												
6..4	Выбор функции DSP обработки: <table border="0"> <thead> <tr> <th>D2</th> <th>D1</th> <th>D0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>- ввод без цифровой обработки</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>- весовое вычитание DSP банка</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>- весовое сложение с DSP банком</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>- операция AND с DSP банком</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>- операция OR с DSP банком</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>- операция XOR с DSP банком</td> </tr> </tbody> </table>	D2	D1	D0		0	0	0	- ввод без цифровой обработки	0	1	1	- весовое вычитание DSP банка	1	0	0	- весовое сложение с DSP банком	1	0	1	- операция AND с DSP банком	1	1	0	- операция OR с DSP банком	1	1	1	- операция XOR с DSP банком
D2	D1	D0																											
0	0	0	- ввод без цифровой обработки																										
0	1	1	- весовое вычитание DSP банка																										
1	0	0	- весовое сложение с DSP банком																										
1	0	1	- операция AND с DSP банком																										
1	1	0	- операция OR с DSP банком																										
1	1	1	- операция XOR с DSP банком																										
31..7	Не используются																												

Изображение, используемое в качестве второго операнда, может быть записано в DSP банк в любом формате: 8-ми, 12-ти или 16-ти разрядном.

В видеопроцессоре реализованы следующие функции цифровой обработки:

- *весовое сложение двух кадров.* Весовой коэффициент берется из регистра **Reg_RC**. Результат сложения определяется из соотношения:

$$Y_{ADC} = k * X_n + (1 - k) * X_{DSP}, \text{ где}$$

Y_{ADC} – суммарное изображение, помещаемое в ADC банк;

X_n – оцифрованное исходное изображение в n-ом кадре;

X_{DSP} – изображение из DSP банка;

k – весовой коэффициент ($1/32 \leq k \leq 31/32$).

- *весовое вычитание двух кадров.* В качестве вычитаемого используется изображение из DSP банка. Разностное изображение определяется из соотношения:

$$Y_{ADC} = k * X_n - (1 - k) * X_{DSP} + B, \text{ где}$$

B – константа, равная половине разрядной сетки АЦП (соответственно 128, 2048 или 32768 для 8-ми, 12-ти или 16-ти разрядного формата данных);

- *наложение пространственной маски AND, OR, XOR.*

Набор функций может быть изменен или дополнен по согласованию с заказчиком.

Регистр **Reg_Accum** осуществляет управление *режимом накопления кадров* входного ТВ сигнала. Если задана какая-либо функция цифровой обработки, то она выполняется в конечной стадии режима накопления при вводе последнего кадра.

Биты	Описание															
1..0	Выбор количества накапливаемых кадров: <table border="0"> <thead> <tr> <th>D1</th> <th>D0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>- 2 кадра</td> </tr> <tr> <td>0</td> <td>1</td> <td>- 4 кадра</td> </tr> <tr> <td>1</td> <td>0</td> <td>- 8 кадров</td> </tr> <tr> <td>1</td> <td>1</td> <td>- 16 кадров</td> </tr> </tbody> </table>	D1	D0		0	0	- 2 кадра	0	1	- 4 кадра	1	0	- 8 кадров	1	1	- 16 кадров
D1	D0															
0	0	- 2 кадра														
0	1	- 4 кадра														
1	0	- 8 кадров														
1	1	- 16 кадров														
2	Включение режима накопления кадров															
31..3	Не используются															

В режиме накопления кадров выдача прерываний от подсистемы ввода осуществляется по каждому введенному кадру, а бит готовности (бит D0 регистра **Reg_Stat**) будет установлен по окончании ввода последнего из серии накапливаемых кадров. Процесс накопления можно принудительно остановить, сбросив бит D8 регистра **ADC_Ctrl**.

В качестве альтернативы режиму накопления кадров в видеопроцессоре может исполь-

зваться *рекурсивный фильтр*, позволяющий осуществлять ввод кадров в реальном времени. В этом случае рекурсивное изображение в n-ом кадре вычисляется следующим образом:

$$Y_n = k * X_n + (1 - k) * Y_{n-1}$$

где Y_n – рекурсивное изображение в n-ом кадре;
 X_n – оцифрованное исходное изображение в n-ом кадре;
 Y_{n-1} – рекурсивное изображение в n-1-ом кадре;
 k – коэффициент рекурсии ($1/32 \leq k \leq 31/32$).

Коэффициент рекурсии определяет динамику обновления информации и степень фильтрации при вводе изображения: чем выше доля предыдущего кадра, тем медленнее меняется результирующее изображение и тем лучше происходит фильтрация некоррелированных шумов.

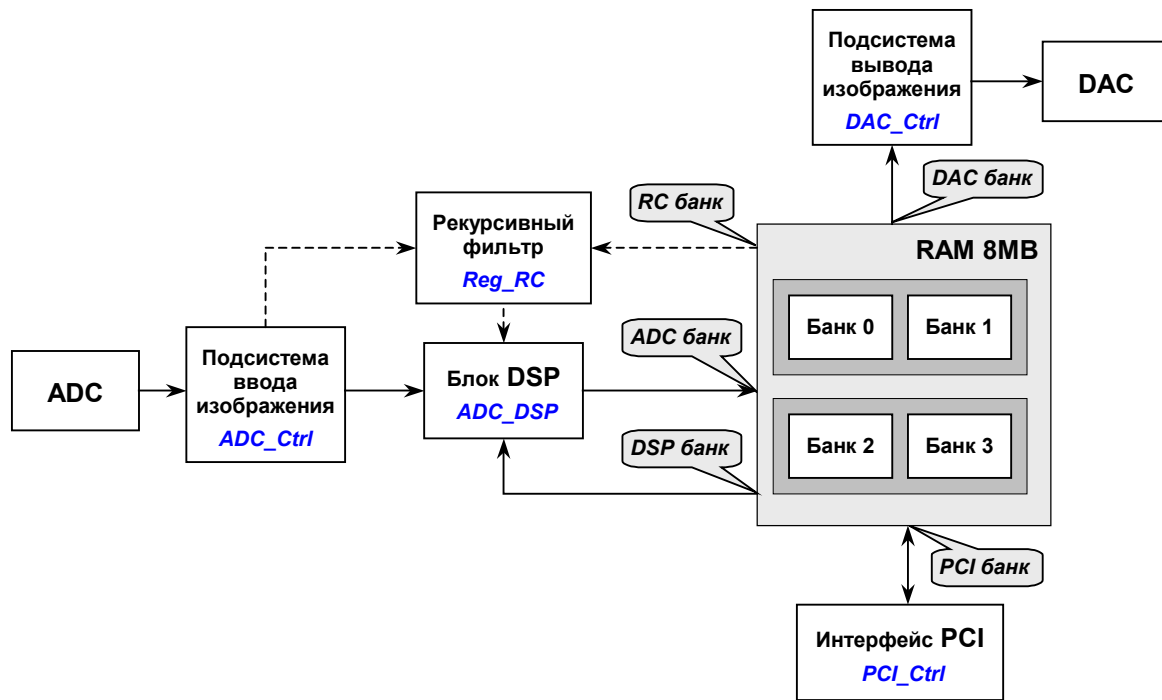
Управление режимом рекурсивной фильтрации осуществляется через регистр **Reg_RC**. Для исключения погрешности определения результирующего изображения все промежуточные результаты вычислений сохраняются в 16-ти разрядном формате. Режим рекурсивной фильтрации отменяется при включении какого-либо режима DSP обработки или накопления кадров.

Биты	Описание																																				
4..0	Определение коэффициента рекурсии: <table style="margin-left: 20px;"> <thead> <tr> <th>D4</th> <th>D3</th> <th>D2</th> <th>D1</th> <th>D0</th> <th>Коеф. рекурсии</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>- рекурсивный фильтр отключен</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>- 1/32</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>- 2/32</td> </tr> <tr> <td>·</td> <td>·</td> <td>·</td> <td>·</td> <td>·</td> <td>·</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>- 31/32</td> </tr> </tbody> </table>	D4	D3	D2	D1	D0	Коеф. рекурсии	0	0	0	0	0	- рекурсивный фильтр отключен	0	0	0	0	1	- 1/32	0	0	0	1	0	- 2/32	·	·	·	·	·	·	1	1	1	1	1	- 31/32
D4	D3	D2	D1	D0	Коеф. рекурсии																																
0	0	0	0	0	- рекурсивный фильтр отключен																																
0	0	0	0	1	- 1/32																																
0	0	0	1	0	- 2/32																																
·	·	·	·	·	·																																
1	1	1	1	1	- 31/32																																
31..5	Не используются																																				

5.3. Организация и функционирование внутреннего буфера памяти.

Внутренний буфер памяти RT-826 имеет объем 8 Мбайт и состоит из 4 банков по 2 Мбайт. Каждый банк используется для записи и хранения одного телевизионного кадра. Все данные внутри буфера хранятся в 16-ти разрядном формате (два байта на пиксель). При операциях чтения/записи 8-ми и 12-ти разрядные данные преобразуются в 16-ти разрядный формат.

Логика работы видеопроцессора предполагает одновременное обращение к внутренней памяти со стороны нескольких подсистем устройства. При захвате видеосигнала данные от аналого-цифрового преобразователя (ADC) сначала через подсистему ввода изображения заносятся в банк памяти, определяемый регистром **ADC_Ctrl**. Если при этом задействована какая-либо функция цифровой обработки, то в качестве второго операнда используются данные из банка, определяемого регистром **ADC_DSP**. После оцифровки всего кадра данные могут передаваться через шину PCI в оперативную память компьютера или через подсистему вывода изображения на цифро-аналоговый преобразователь (DAC) и далее на ВКУ.



Присвоив банкам памяти, мнемоническое имя модуля, который к нему в текущий момент времени обращается за данными, получим *PCI*, *ADC*, *DAC* и *DSP банки*. Номера банков определяются соответственно битами D[1..0] регистров *PCI_Ctrl*, *ADC_Ctrl*, *DAC_Ctrl* и *ADC_DSP*.

Назначение банков при вводе и выводе одиночных кадров может быть любым. Достаточно, например, использовать нулевой банк в качестве *ADC банка* для оцифровки кадра и в качестве *PCI банка* для последующей передачи его через шину PCI.

При вводе или выводе непрерывного потока кадров чередование банков памяти должно подчиняться определенному правилу: оцифровка или вывод телевизионного изображения осуществляются в банке отличном от банка, выбранного в данный момент для передачи данных по шине PCI. Это позволит избежать пропуска кадров при вводе и выводе изображения.

При работе рекурсивного фильтра в качестве второго операнда (*RC банк*) автоматически назначается банк, который использовался при оцифровке предыдущего кадра и, таким образом, сохраняется вся предыстория видеоизображения.

При оцифровке кадров, размер которых превышает 2 МБ, банки памяти с номерами 0-1 и 2-3 объединяются попарно в два банка по 4 МБ. Если в процессе ввода изображения произойдет переполнение банка с номером 0 или 2, то далее будет автоматически заполняться следующий по номеру банк – 1 или 3. Этот факт надо учесть при организации конвейера записи данных.²

Обмен данными на шине PCI может проходить в двух режимах: MASTER и TARGET. В режиме TARGET передача данных осуществляется с помощью простых языковых операторов типа “*copy*”. В режиме MASTER задействован механизм прямого доступа к памяти (DMA). Скорость передачи данных в режиме MASTER примерно в шесть раз больше и составляет 60 Мбайт/сек.

При обмене данными в режиме TARGET каждый банк памяти делится на 64 (или на 128 в случае объединения банков) окна. Одно окно является частью адресного пространства оперативной памяти компьютера размером 16 КБайт и начальным адресом, сдвинутым на 16 КБайт вверх относительно адреса, указанного в первом базовом адресном регистре конфигурационного заголовка платы. Например, если базовый адрес равен 000D0000h, то

² Это опция, которая в данной версии видеопроцессора не подключена.

окно памяти, через которое будет вестись обмен данными, составит диапазон 000D4000h – 000D7FFFh. Номер окна памяти (от 0 до 63), подключенного к адресному пространству компьютера, определяется битами D[8..3] регистра **PCI_Ctrl**.

При обмене данными в режиме MASTER (или DMA) внутренний буфер памяти видеопроцессора на адресное пространство оперативной памяти компьютера не отображается. Банк памяти представляет собой единое целое и может быть записан или считан целиком за один раз. Обмен данными в режиме DMA будет рассмотрен ниже.

При фиксации изображения во внутреннем буфере памяти строки ТВ кадра располагаются последовательно друг за другом – сначала строки первого поля, затем второго. При передаче изображения в оперативную память компьютера для восстановления правильного чередования строк можно использовать чересстрочный обмен данными (то же относится и к выводу изображения на внешний монитор).

6. Обмен данными в режиме DMA.

Обмен данными в режиме DMA состоит из двух этапов – старта процесса DMA и последующего получения подтверждения о его завершении.

6.1. Основной старт DMA.

Основной старт DMA выполняется каждый раз, когда требуется передать кадр изображения из внутренней памяти устройства в оперативную память компьютера или обратно за один цикл, либо в начальной фазе при передаче кадра частями. В этом случае необходимы следующие действия:

1). Программируется регистр **DMA_Ctrl**. Учитывается разрядность данных (8 / 12 / 16 бит), направление передачи, тип изображения (чересстрочное или прогрессивное), необходимость вертикального отражения.

2). Программируются регистры **Mem_Addr**, **Mem_Addr1** и **DMA_Line**. Значения, записываемые в регистры, должны быть кратны 16.

3). Программируется регистр **DMA_Byte**.

4). Последним из всех программируется регистр **DMA_Addr**. После операции записи в этот регистр начинается процесс DMA.

Контроллер DMA, реализованный в RT826, выдает запрос на шину PCI и после получения подтверждения на захват шины, начинает передачу данных блоками до 256 байт (длина блока определяется значением конфигурационного регистра **Latency Timer**). После передачи каждого блока шина PCI освобождается на время примерно равное времени передачи блока. Процесс DMA заканчивается, когда счетчик количества переданных байт достигнет значения, записанного в регистр **DMA_Byte**.

6.2. Промежуточный старт DMA.

Промежуточный старт DMA выполняется повторно, если передача кадра ведется частями. В этом случае необходимы следующие действия:

1). Программируется регистр **DMA_Byte**. Если количество передаваемых данных не изменилось по сравнению с предыдущим стартом – регистр можно не программировать.

2). Программируется регистр **DMA_Addr**.

6.3. Завершение процесса DMA.

Получение подтверждения о завершении DMA происходит либо по прерыванию, либо при постоянном опросе регистров **Reg_Stat** или **Reg_Events**.

1). При получении прерывания (если оно было разрешено) прочитать регистр

Reg_Events и убедиться, что прерывание пришло от контроллера DMA и процесс DMA закончился корректно (бит D0 = 1). При чтении регистра **Reg_Events** прерывание снимается, а бит D0 сбрасывается. Необходимо помнить, что при чтении регистра **Reg_Events** все остальные биты событий сбрасываются тоже.

2). Завершение DMA можно определить также и без прерывания – по регистру состояния **Reg_Stat** (бит D6=0).

Важное замечание:

Получение прерывания от устройства при окончании DMA фактически означает высвобождение шины PCI, однако, внутренние процессы в устройстве могут еще некоторое время продолжаться (до 10 мкс). Полное завершение DMA контролируется по биту D6 регистра **Reg_Stat**.

7. Ввод изображения в режиме внешнего запуска.

Ввод изображения может быть синхронизирован с внешним ТТЛ сигналом, подключенным к одной из линий цифрового интерфейса платы. При этом алгоритм ввода кадров будет определяться характером подаваемого сигнала запуска и требуемым временем реакции на него.

Самым простым способом синхронизации ввода с запускающим сигналом является чтение регистра **Reg_DIO**, проверка логического уровня на соответствующей цифровой линии и при обнаружении, например, логической 1 осуществление фиксации кадра во внутреннем буфере платы и дальнейшей перекачки его в оперативную память компьютера. Однако, если сигнал запуска достаточно короткий (меньше периода опроса регистра **Reg_DIO**), то он может быть пропущен.

В случае, если сигнал запуска имеет импульсный характер или требуется быстрая реакция системы, можно воспользоваться другим способом. В регистре **Syst_Ctrl** установкой соответствующего бита разрешить прерывание по изменению логического состояния на цифровой линии, к которой подключен сигнал запуска. Тогда при обнаружении переднего или заднего фронта этого сигнала в регистре событий **Reg_Events** установится бит D5, который либо вызовет прерывание (если они были разрешены битом D0 регистра **Syst_Ctrl**), либо просто зафиксирует факт прихода импульса запуска. При чтении регистра **Reg_Events** все биты зафиксированных ранее событий (в том числе и D5) сбросятся.

8. Включение платы.

Плата подключается к ЭВМ через свободный разъем расширения шины PCI на материнской плате. Минимальная конфигурация: Pentium III, оперативная память - 64 Мб, SVGA карта с памятью не менее 1 Мб, SVGA монитор, поддерживающий разрешение 1024 * 768 (16 млн. цветов), жесткий диск ATA66 или ATA100 (7400 об/мин) объемом не менее 2 Гб.

До включения питания общие шины источника TV сигнала, компьютера, внешнего монитора (ВКУ) должны быть соединены вместе (заземлены). В противном случае возможен выход изделия из строя из-за разности потенциалов фаз электропитания.

Для исключения возможных наводок от электрической сети рекомендуется подключение всех компонентов системы к одной фазе электропитания.

На плате имеются три разъёма в отверстиях на крепежной планке. Дальний от системного разъёма PCI - вход ТВ сигнала, ближний - выход на внешний монитор (ВКУ), подклю-

чение монитора не является обязательным. Средний, пятнадцати штырьковый разъём предназначен для обеспечения работы платы от внешней синхронизации, дублирования входного и выходного разъёма ТВ сигнала, а также для управления платой от внешнего устройства.

Таблица 3

Контакт	Цепь	Контакт	Цепь	Контакт	Цепь
1	I/O-1 (ССИ)	5	TV-IN-1	11	I/O-3 (КСИ)
2	TV-IN-4	6	I/O-2	12	+12V
3	TV-IN-3	7	I/O-4	14	+5V
4	TV-IN-2	8, 9, 10	Земля (аналоговая)	13, 15	Корпус

9. Гарантийные обязательства.

ООО «РАСТР ТЕХНОЛОДЖИ» осуществляет бесплатный гарантийный ремонт продукции в течение 12 месяцев от даты продажи, сопровождение и консультации по работе с видеопроцессором. Гарантия не распространяется на ущерб, причинённый другому оборудованию, работающему в сопряжении с данным изделием. Срок гарантии увеличивается на время нахождения изделий в ремонте.

Гарантийные обязательства аннулируются в случае, если:

- на плате был произведен любой неавторизованный ООО «РАСТР ТЕХНОЛОДЖИ» ремонт или её модификация;
- неисправности вызваны неправильной эксплуатацией платы (механические повреждения, неправильное включение, отсутствие заземления и т.п.);
- неисправности вызваны неправильной эксплуатацией оборудования, в том числе:
 - эксплуатация в сильно запылённых помещениях;
 - неправильное подключение дополнительного оборудования;
 - использование питания с характеристиками, отличными от допустимых;
 - изделие было установлено и использовано иначе, чем указано в инструкции по эксплуатации.

Недополученная в связи с появлением неисправности прибыль и другие косвенные расходы не подлежат возмещению.

По вопросам эксплуатации и ремонта обращайтесь по телефону в

ООО "РАСТР ТЕХНОЛОДЖИ" в Москве

 (095) #425-73.26, 789-93-67, E-mail: raster-msk@mtu-net.ru

www.rastr.net

Приложение 1. Конфигурирование устройства RT-826 в операционной системе MS-DOS.

После включения питания компьютера или нажатия кнопки “RESET” необходимо выполнить начальную инициализацию устройства RT-826, т.е. записать нужную информацию в ее конфигурационный заголовок. Процесс инициализации будет зависеть от типа операционной системы, под управлением которой работает плата. Рассмотрим инициализацию платы при работе под управлением MS-DOS.

Для доступа к конфигурационным заголовкам PCI устройств существуют два стандартных 32-разрядных порта ввода-вывода, закрепленных за арбитром шины PCI, и называемых **CONFIG_ADDRESS** (адрес 0CF8h) и **CONFIG_DATA** (адрес 0CFCh). Формат регистра **CONFIG_ADDRESS** следующий:

31	30					24	23					16	15					11	10		8	7							0
1	Зарезервировано = 0						Номер шины						Номер устройства				Номер функции		Номер регистра										

где, **номер шины** – номер шины PCI, к которой подключена плата RT-826;

номер устройства – число от 0 до 31, соответствующее слоту расширения шины PCI, в котором установлена плата RT-826;

номер функции – для платы RT-826 значение равно 0;

номер регистра – число от 0 до 60 кратное 4, указывающее на смещение в конфигурационном заголовке платы RT-826, куда будет произведено обращение при последующем чтении/записи регистра **CONFIG_DATA**.

Сначала в порт **CONFIG_ADDRESS** записываются координаты того регистра конфигурационного заголовка, к которому необходимо произвести обращение. Затем производится чтение или запись данных в этот регистр через порт **CONFIG_DATA**. Например, если требуется записать в базовый адресный регистр значение 000D0000h, а за RT-826 закреплен номер устройства 10h, то сначала в порт **CONFIG_ADDRESS** записывается число 80008010h, а затем в порт **CONFIG_DATA** – число 000D0000h. Необходимо помнить, что все операнды в операциях ввода/вывода должны быть 32-х разрядными (в реальном режиме процессора этого можно добиться, проставляя в ассемблерном тексте префикс 66h).

Процесс инициализации состоит из нескольких этапов:

- определение номера шины и номера устройства, закрепленного за платой RT-826;
- запись базовых адресов памяти и ввода-вывода в соответствующие регистры конфигурации;
- включение платы в пространство памяти и включение режима MASTER установкой в “1” битов D2, D1 в регистре **Command** конфигурационного заголовка.

Рекомендуемый для MS-DOS базовый адрес памяти – D0000h. При этом в файле CONFIG.SYS при загрузке драйвера EMM386.EXE необходимо выключить соответствующую область верхней памяти строкой:

DEVICE = C:\DOS\EMM386.EXE NOEMS X=D000-D7FF

В качестве примера в файле INIT.PAS приведен текст программы инициализации, написанной на языке Паскаль (Borland Pascal 7.0).